



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 1 1 日
Date of Application:

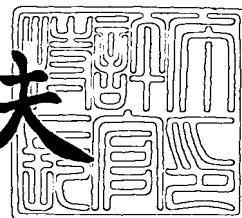
出 願 番 号 特 願 2 0 0 3 - 1 9 6 1 1 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 9 6 1 1 5]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 8 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 6 2 7 1

【書類名】 特許願
【整理番号】 J0100990
【あて先】 特許庁長官殿
【国際特許分類】 G02F 1/133
G09G 3/30
G09G 3/36

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 竹中 敏

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 5 2 8

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤綱 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【先の出願に基づく優先権主張】

【出願番号】 特願2002-275199

【出願日】 平成14年 9月20日

【先の出願に基づく優先権主張】**【出願番号】** 特願2002-275200**【出願日】** 平成14年 9月20日**【手数料の表示】****【予納台帳番号】** 013044**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0109826**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置、電気光学装置、電子機器、半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 ソース領域とドレイン領域との間にチャンネルを形成可能なチャンネル形成領域と、該チャンネル形成領域にゲート絶縁膜を介して対向するゲート電極とを備えたトランジスタが基板上に形成された半導体装置において、

前記チャンネル形成領域のうち、少なくとも前記ドレイン領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚いことを特徴とする半導体装置。

【請求項 2】 請求項 1 において、前記チャンネル形成領域のうち、前記ソース領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚いことを特徴とする半導体装置。

【請求項 3】 請求項 1 において、前記ソース領域および前記ドレイン領域は、前記ゲート電極に前記ゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備え、

前記チャンネル形成領域のうち、少なくとも前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚いことを特徴とする半導体装置。

【請求項 4】 請求項 3 において、前記チャンネル形成領域のうち、前記ソース領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚いことを特徴とする半導体装置。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、前記チャンネル形成領域、前記ソース領域、および前記ドレイン領域は、前記基板表面に形成された半導体膜に形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 1 ないし 4 のいずれかにおいて、前記基板は、半導体基板であり、当該半導体基板に対して、前記チャネル形成領域、前記ソース領域、および前記ドレイン領域が形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 1 ないし 4 のいずれかに規定する半導体装置が、電気光学物質を保持する電気光学装置用基板として用いられ、

当該電気光学装置用基板では、画素スイッチング用トランジスタおよび画素電極を備えた画素がマトリクス状に形成されていることを特徴とする電気光学装置。

【請求項 8】 請求項 7 において、前記電気光学物質は、前記電気光学装置用基板と対向基板との間に保持された液晶であることを特徴とする電気光学装置。

【請求項 9】 請求項 7 において、前記電気光学物質は、前記電気光学装置用基板上で発光素子を構成する有機エレクトロルミネッセンス材料であることを特徴とする電気光学装置。

【請求項 10】 請求項 7 に規定する電気光学装置を用いたことを特徴とする電子機器。

【請求項 11】 ソース領域とドレイン領域との間にチャネルを形成可能なチャネル形成領域と、該チャネル形成領域にゲート絶縁膜を介して対向するゲート電極とを備えたトランジスタが基板上に形成された半導体装置の製造方法において、

前記ゲート絶縁膜を形成する工程では、

まず、下層側ゲート絶縁膜を形成し、

次に、当該下層側ゲート絶縁膜の表面のうち、少なくとも前記チャネル形成領域のチャネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャネル形成領域において前記ドレイン領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、

次に、前記下層側ゲート絶縁膜および前記レジスト層の表面側に上層側ゲート絶縁膜を形成し、

しかる後に、前記レジスト層を当該レジスト層を覆う前記上層側ゲート絶縁膜

とともに除去することを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 において、前記レジスト層については、前記チャネル形成領域において前記ソース領域に隣接する境界領域と重なる部分に対しても形成を避けることを特徴とする半導体装置の製造方法。

【請求項 1 3】 ソース領域とドレイン領域との間にチャネルを形成可能なチャネル形成領域と、該チャネル形成領域にゲート絶縁膜を介して対向するゲート電極とを備えたトランジスタが基板上に形成された半導体装置の製造方法において、

前記ゲート絶縁膜を形成する工程では、

まず、少なくとも前記チャネル形成領域のチャネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャネル形成領域において前記ドレイン領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、

次に、前記レジスト層の表面側に下層側ゲート絶縁膜を形成し、

次に、前記レジスト層を当該レジスト層を覆う前記下層側ゲート絶縁膜とともに除去し、

しかる後に、前記下層側ゲート絶縁膜の表面に上層側ゲート絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 において、前記レジスト層については、前記チャネル形成領域において前記ソース領域に隣接する境界領域と重なる部分に対しても形成を避けることを特徴とする半導体装置の製造方法。

【請求項 1 5】 ソース領域とドレイン領域との間にチャネルを形成可能なチャネル形成領域と、該チャネル形成領域にゲート絶縁膜を介して対向するゲート電極とを有し、前記ソース領域および前記ドレイン領域は、前記ゲート電極に前記ゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備えたトランジスタが基板上に形成された半導体装置の製造方法において、

前記ゲート絶縁膜を形成する工程では、

まず、下層側ゲート絶縁膜を形成し、

次に、当該下層側ゲート絶縁膜の表面のうち、少なくとも前記チャネル形成領

域のチャネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャネル形成領域において前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、

次に、前記下層側ゲート絶縁膜および前記レジスト層の表面側に上層側ゲート絶縁膜を形成し、

しかる後に、前記レジスト層を当該レジスト層を覆う前記上層側ゲート絶縁膜とともに除去することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 15 において、前記レジスト層については、前記チャネル形成領域において前記ソース領域の低濃度ソース領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しても形成を避けることを特徴とする半導体装置の製造方法。

【請求項 17】 ソース領域とドレイン領域との間にチャネルを形成可能なチャネル形成領域と、該チャネル形成領域にゲート絶縁膜を介して対向するゲート電極とを有し、前記ソース領域および前記ドレイン領域は、前記ゲート電極に前記ゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備えたトランジスタが基板上に形成された半導体装置の製造方法において、

前記ゲート絶縁膜を形成する工程では、

まず、少なくとも前記チャネル形成領域のチャネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャネル形成領域において前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、

次に、前記レジスト層の表面側に下層側ゲート絶縁膜を形成し、

次に、前記レジスト層を当該レジスト層を覆う前記下層側ゲート絶縁膜とともに除去し、

しかる後に、前記下層側ゲート絶縁膜の表面に上層側ゲート絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 17 において、前記レジスト層については、前記チャネル形成領域において前記ソース領域の低濃度ソース領域あるいはオフセット

領域に隣接する境界領域と重なる部分に対しても形成を避けることを特徴とする半導体装置の製造方法。

【請求項 1 9】 請求項 1 1 ないし 1 8 のいずれかにおいて、前記半導体層は、前記基板表面に形成された半導体膜であることを特徴とする半導体装置の製造方法。

【請求項 2 0】 請求項 1 1 ないし 1 8 のいずれかにおいて、前記半導体層は、前記基板を構成する半導体基板の表面であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、基板上にMIS (Metal-Insulator-Semiconductor) 型トランジスタ、あるいはMOS (Metal-Oxide-Semiconductor) 型トランジスタのような電界効果型トランジスタが形成された半導体装置、この半導体装置によって電気光学物質を保持した電気光学装置、この電気光学装置を用いた電子機器、および半導体装置の製造方法に関するものである。

【0 0 0 2】

【従来の技術】

アクティブマトリクス型液晶装置や有機エレクトロルミネッセンス表示装置などの電気光学装置では、画素スイッチング用のアクティブ素子として複数の薄膜トランジスタ（電界効果型トランジスタ／以下、TFT (Thin Film Transistor) という）が形成された基板が用いられている。

【0 0 0 3】

このような基板に形成されるTFTの代表的な構造としては、図21 (A) に示すセルフアライン構造と、図21 (B) に示すLDD構造とがある。

【0 0 0 4】

これらのTFTのうち、セルフアライン構造のTFTでは、図21 (A) に示すように、ゲート電極460の端部にゲート絶縁膜450を介して対向する部分

のソース領域420、およびドレイン領域430が高濃度領域となっている。このため、図2および図6に点線L2で示すように、オン電流レベルが高いという利点がある。

【0005】

しかしながら、セルフアライン構造のTF Tでは、ドレイン端における電界強度が高いため、図2および図6に点線L2で示すように、オフリーク電流レベル高く、かつ、その電流レベルが急峻に跳ね上がっているという問題点がある。

【0006】

これに対して、図21(B)に示すLDD構造のTF Tでは、ソース領域420およびドレイン領域430において、ゲート電極460の端部にゲート絶縁膜450を介して対向する部分が低濃度ソース領域421、および低濃度ドレイン領域431となっている。従って、LDD構造のTF Tでは、ドレイン端における電界強度が緩和されるため、図2および図6に一点鎖線L3で示すように、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される(例えば、非特許文献1参照)。

【0007】

【非特許文献1】

M. Yazaki, S. Takenaka and H. Ohshima: Jpn. J. Appl. Phys. vol. 31 (1992) Pt. 1, No 2A pp. 206-209

【0008】

【発明が解決しようとする課題】

しかしながら、LDD構造のTF Tでは、ソース領域420とドレイン領域430との間に低濃度領域が介在するため、図2および図6に一点鎖線L3で示したように、オン電流レベルが低いという問題点がある。また、LDD構造のTF Tにおいて、オフリーク電流をさらに低減する必要がある場合に、低濃度ソース領域421および低濃度ドレイン領域431の寸法をさらに長くするなどの対策を行うと、オン電流が著しく低下してしまうという問題点がある。

【0009】

このように、従来の構造では、オン電流特性とオフリーク電流とがトレードオフの関係にあって、一方の特性を向上すれば他方の特性が犠牲になるという問題点がある。

【0010】

以上の問題点に鑑みて、本発明の課題は、オン電流特性およびオフリーク電流特性の双方に優れたトランジスタを備えた半導体装置、この半導体装置によって電気光学物質を保持した電気光学装置、この電気光学装置を用いた電子機器、および半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】

上記課題を解決するために、本発明では、ソース領域とドレイン領域との間にチャネルを形成可能なチャネル形成領域と、該チャネル形成領域にゲート絶縁膜を介して対向するゲート電極とを備えたトランジスタが基板上に形成された半導体装置において、前記チャネル形成領域のうち、少なくとも前記ドレイン領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャネル形成領域のチャネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚いことを特徴とする。

【0012】

本願明細書における「MIS型」あるいは「MOS型」とはゲート電極が金属に限らず、導電性の半導体をゲート電極に用いたものも含む意味である。

【0013】

本発明に係るトランジスタでは、ドレイン端のゲート絶縁膜が厚いので、ドレイン端での電界強度が緩和される。このため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。また、チャネル形成領域の中央部分では、ゲート絶縁膜が薄いので、オン電流レベルも高い。それ故、本発明によれば、オン電流特性、およびオフリーク電流特性の双方を向上することができる。

【0014】

本発明においては、前記チャネル形成領域のうち、前記ソース領域に隣接する

境界領域と重なる部分の前記ゲート絶縁膜の膜厚も、前記チャネル形成領域のチャネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚くしてもよい。

【0015】

本発明において、前記ソース領域および前記ドレイン領域は、前記ゲート電極に前記ゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備える場合がある。このようなトランジスタの構造は、LDD構造あるいはオフセットゲート構造と称せられる。本願明細書において、「オフセット領域」とは、ゲート電極の端部にゲート絶縁膜を介して対峙する部分に、チャネル形成領域と同一の不純物濃度で形成されている部分を意味し、このようなオフセット領域は、ソースおよびドレイン領域をゲート電極の端部からチャネル長方向における両側にずらすことにより形成できる。

【0016】

このようなLDD構造あるいはオフセットゲート構造のトランジスタに対して本発明を適用した場合、前記チャネル形成領域のうち、少なくとも前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚が、前記チャネル形成領域のチャネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚い。

【0017】

本発明に係るトランジスタでは、ソース領域およびドレイン領域は、ゲート電極にゲート絶縁膜を介して対峙する部分に低濃度領域あるいはオフセット領域を備えているため、ドレイン端での電界強度が緩和されているので、オフリーク電流のレベルが低い。また、ドレイン端のゲート絶縁膜が厚いので、ドレイン端での電界強度がさらに緩和されているため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。また、チャネル形成領域の中央部分では、ゲート絶縁膜が薄いので、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高い。

【0018】

本発明において、前記チャネル形成領域のうち、前記ソース領域の低濃度領域

あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚も、前記チャネル形成領域のチャネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚くしてもよい。

【0019】

本発明において、前記チャネル形成領域、前記ソース領域、および前記ドレイン領域は、例えば、前記基板表面に形成された半導体膜に形成されている。

【0020】

本発明においては、前記基板が半導体基板であり、当該半導体基板に対して、前記チャネル形成領域、前記ソース領域、および前記ドレイン領域が形成されている場合もある。

【0021】

本発明に係る半導体装置は、電気光学物質を保持する電気光学装置用基板として用いられる場合があり、この場合、当該電気光学装置用基板には、画素スイッチング用トランジスタおよび画素電極を備えた画素がマトリクス状に形成されることになる。

【0022】

このような電気光学装置において、前記電気光学物質は、例えば、前記電気光学装置用基板と対向基板との間に保持された液晶である。

【0023】

また、前記電気光学物質は、前記電気光学装置用基板上で発光素子を構成する有機エレクトロルミネッセンス材料の場合もある。

【0024】

本発明を適用した電気光学装置は、携帯電話機あるいはモバイルコンピュータなどの電子機器の表示部として用いられる。

【0025】

本発明では、ソース領域とドレイン領域との間にチャネルを形成可能なチャネル形成領域と、該チャネル形成領域にゲート絶縁膜を介して対向するゲート電極とを備えたトランジスタが基板上に形成された半導体装置の製造方法において、前記ゲート絶縁膜を形成する工程では、まず、下層側ゲート絶縁膜を形成し、次

に、当該下層側ゲート絶縁膜の表面のうち、少なくとも前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャンネル形成領域において前記ドレイン領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、次に、前記下層側ゲート絶縁膜および前記レジスト層の表面側に上層側ゲート絶縁膜を形成し、しかる後に、前記レジスト層を当該レジスト層を覆う前記上層側ゲート絶縁膜とともに除去することを特徴とする。

【0026】

本発明の別の形態では、ソース領域とドレイン領域との間にチャンネルを形成可能なチャンネル形成領域と、該チャンネル形成領域にゲート絶縁膜を介して対向するゲート電極とを備えたトランジスタが基板上に形成された半導体装置の製造方法において、前記ゲート絶縁膜を形成する工程では、まず、少なくとも前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャンネル形成領域において前記ドレイン領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、次に、前記レジスト層の表面側に下層側ゲート絶縁膜を形成し、次に、前記レジスト層を当該レジスト層を覆う前記下層側ゲート絶縁膜とともに除去し、しかる後に、前記下層側ゲート絶縁膜の表面に上層側ゲート絶縁膜を形成することを特徴とする。

【0027】

本発明において、前記レジスト層については、前記チャンネル形成領域において前記ソース領域に隣接する境界領域と重なる部分に対しても形成を避けてもよい。このように構成すると、前記チャンネル形成領域のうち、前記ソース領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚も、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚い構造となる。

【0028】

本発明において、トランジスタがLDD構造あるいはオフセットゲート構造を備えている場合、その製造方法では、前記ゲート絶縁膜を形成する工程において

、まず、下層側ゲート絶縁膜を形成し、次に、当該下層側ゲート絶縁膜の表面のうち、少なくとも前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャンネル形成領域において前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、次に、前記下層側ゲート絶縁膜および前記レジスト層の表面側に上層側ゲート絶縁膜を形成し、しかる後に、前記レジスト層を当該レジスト層を覆う前記上層側ゲート絶縁膜とともに除去することを特徴とする。

【0029】

本発明の別の形態では、前記ゲート絶縁膜を形成する工程において、まず、少なくとも前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分にレジスト層を形成するとともに、少なくとも当該チャンネル形成領域において前記ドレイン領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しては前記レジスト層の形成を避け、次に、前記レジスト層の表面側に下層側ゲート絶縁膜を形成し、次に、前記レジスト層を当該レジスト層を覆う前記下層側ゲート絶縁膜とともに除去し、しかる後に、前記下層側ゲート絶縁膜の表面に上層側ゲート絶縁膜を形成することを特徴とする。

【0030】

本発明において、前記レジスト層については、前記チャンネル形成領域において前記ソース領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分に対しても形成を避けてもよい。このように構成すると、前記チャンネル形成領域のうち、前記ソース領域の低濃度領域あるいはオフセット領域に隣接する境界領域と重なる部分の前記ゲート絶縁膜の膜厚も、前記チャンネル形成領域のチャンネル長方向における中央部分と重なる部分の前記ゲート絶縁膜の膜厚に比して厚い構造となる。

【0031】

【発明の実施の形態】

電気光学装置に用いられる TFT アレイ基板などに本発明を適用した例を説明する前に、図 1～図 9 を参照して、本発明の実施の形態 1～9 に係るトランジス

タ単体（半導体装置単体）としての構成、および効果を説明する。

【0032】

図1（A）～（D）はそれぞれ、本発明の実施の形態1～4に係るトランジスタ単体（半導体装置単体）の構成を示す断面図である。図2は、本発明を適用したセルフアライン構造のトランジスタのオン電流特性、およびオフリーク電流特性を示すグラフである。図3および図4はそれぞれ、実施の形態1、3に係るトランジスタ単体（半導体装置単体）の製造方法を示す工程断面図である。

【0033】

図5（A）～（D）はそれぞれ、本発明の実施の形態5～8に係るトランジスタ単体（半導体装置単体）の構成を示す断面図である。図6は、本発明を適用したLDD構造のトランジスタのオン電流特性、およびオフリーク電流特性を示すグラフである。図7および図8はそれぞれ、実施の形態5、8に係るトランジスタ単体（半導体装置単体）の製造方法を示す工程断面図である。

【0034】

図9（A）、（B）はそれぞれ、本発明の実施の形態9に係るボトムゲート構造のトランジスタ単体（半導体装置単体）の構成を示す断面図である。

【0035】

〔実施の形態1〕

図1（A）において、本形態の半導体装置では、基板400の上にトランジスタ40Aが形成されており、このトランジスタ40Aは、ソース領域420とドレイン領域430との間にチャネルを形成可能なチャネル形成領域410と、このチャネル形成領域410にゲート絶縁膜450を介して対向するゲート電極460とを備えている。ソース領域420およびドレイン領域430には、層間絶縁膜490、およびゲート絶縁膜450に形成されたコンタクトホールを介してソース電極470およびドレイン電極480がそれぞれ電氣的に接続している。

【0036】

ソース領域420およびドレイン領域430は、ゲート電極460に対してセルフアライン的に不純物が導入された高濃度領域である。

【0037】

本形態では、チャネル形成領域 410 のうち、ドレイン領域 430 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚は、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚い。また、チャネル形成領域 410 のうち、ソース領域 420 に隣接する境界領域 413 と重なる部分のゲート絶縁膜 450 の膜厚も、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚い。

【0038】

すなわち、ゲート絶縁膜 450 は、ソース領域 420、ドレイン領域 430、およびチャネル形成領域 410 を構成する半導体膜 440 の表面側全体に形成された下層側ゲート絶縁膜 451 と、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分を避けるように形成された上層側ゲート絶縁膜 452 とから構成されており、チャネル形成領域 410 のうち、ドレイン領域 430 およびソース領域 420 に隣接する境界領域 412、413 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造になっている。これに対して、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 のみから構成されている。

【0039】

このように構成したトランジスタ 40A では、ドレイン端のゲート絶縁膜 450 が厚いので、ドレイン端での電界強度が緩和されるため、図 2 に実線 L1 で示すように、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。また、チャネル形成領域 410 の中央部分 411 では、ゲート絶縁膜 450 が薄く、かつ、LDD 構造と違って低濃度領域がないので、オン電流レベルも高い。それ故、本形態によれば、オン電流特性、およびオフリーク電流特性の双方を向上することができる。

【0040】

このような構成の半導体装置を製造するにあたっては、まず、図 3 (A) に示すように、基板 400 の表面にチャネル形成領域 410、ソース領域 420、お

よびドレイン領域 430 を形成するためのシリコン膜などの半導体膜 440 を形成する。なお、図示しないが、基板 400 に下地絶縁膜を形成してから半導体膜 440 を形成してもよい。

【0041】

次に、ゲート絶縁膜形成工程では、シリコン酸化膜やシリコン窒化膜などからなる下層側ゲート絶縁膜 451 を形成する。

【0042】

次に、図 3 (B) に示すように、下層側ゲート絶縁膜 451 の表面のうち、少なくともチャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分にレジスト層 401 を形成するとともに、チャネル形成領域 410 においてドレイン領域 430 およびソース領域 420 に隣接する境界領域 412、413 と重なる部分に対してはレジスト層 401 の形成を避ける。

【0043】

次に、図 3 (C) に示すように、下層側ゲート絶縁膜 451 およびレジスト層 401 の表面側にシリコン酸化膜やシリコン窒化膜などからなる上層側ゲート絶縁膜 452 を形成する。この際には、カバレッジの低い方法で上層側ゲート絶縁膜 452 を形成することが好ましい。

【0044】

次に、図 3 (D) に示すように、レジスト層 401 をレジスト層 401 を覆う上層側ゲート絶縁膜 452 とともに除去する（リフトオフ法）。その結果、ゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造の厚い部分と、下層側ゲート絶縁膜 451 のみからなる薄い部分を有することになる。

【0045】

次に、図 3 (E) に示すように、ゲート電極 460 を形成した後、図 3 (F) に示すように、ゲート電極 460 をマスクにして半導体膜 440 に高濃度の不純物を導入して、ゲート電極 460 に対してセルフアライン的に高濃度領域からなるソース領域 420 およびドレイン領域 430 を形成する。

【0046】

[実施の形態 2]

実施の形態 1 で説明した半導体装置の製造方法において、図 3 (B) を参照して説明した工程で、レジスト層 401 の形成範囲を一点鎖線 401' で示す範囲まで広げれば、図 1 (B) に示すトランジスタ 40B が形成される。

【0047】

このトランジスタ 40B では、チャネル形成領域 410 のうち、ドレイン領域 430 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚が、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚いが、ソース領域 420 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 については、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 と膜厚が等しい。

【0048】

その他の構成は、実施の形態 1 と同様であるため、共通する部分には同一の符号を付して図示することにしてそれらの説明を省略するが、本形態のトランジスタ 40B も、ドレイン端のゲート絶縁膜 450 が厚いので、ドレイン端での電界強度が緩和されるため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消されるなど、実施の形態 1 と同様な効果を奏する。

【0049】

[実施の形態 3]

図 1 (C) において、本形態の半導体装置でも、トランジスタ 40C は、チャネル形成領域 410 のうち、ドレイン領域 430 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚は、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚い。また、チャネル形成領域 410 のうち、ソース領域 420 に隣接する境界領域 413 と重なる部分のゲート絶縁膜 450 の膜厚も、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚い。

【0050】

但し、本形態では、実施の形態 1 とは違って、ゲート絶縁膜 450 は、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分 avoid するように形成された下層側ゲート絶縁膜 451 と、その表面全体に形成された上層側ゲート絶縁膜 452 とから構成されている。このため、チャネル形成領域 410 のうち、ドレイン領域 430 およびソース領域 420 に隣接する境界領域 412、413 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造になっているのに対して、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 は、上層側ゲート絶縁膜 452 のみから構成されている。

【0051】

このように構成したトランジスタ 40C でも、ドレイン端のゲート絶縁膜 450 が厚いので、ドレイン端での電界強度が緩和されるため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。また、チャネル形成領域 410 の中央部分 411 では、ゲート絶縁膜 450 が薄く、かつ、LDD 構造と違って低濃度領域がないので、オン電流レベルも高い。それ故、本形態によれば、オン電流特性、およびオフリーク電流特性の双方を向上することができる。

【0052】

このような構成の半導体装置を製造するにあたっては、まず、図 4 (A) に示すように、基板 400 の表面にチャネル形成領域 410、ソース領域 420、およびドレイン領域 430 を形成するための半導体膜 440 を形成する。

【0053】

次に、ゲート絶縁膜形成工程において、半導体膜 440 の表面のうち、少なくともチャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分にレジスト層 401 を形成するとともに、チャネル形成領域 410 においてドレイン領域 430 およびソース領域 420 に隣接する境界領域 412、413 と重なる部分に対してはレジスト層 401 の形成を避ける。

【0054】

次に、図 4 (B) に示すように、半導体膜 440 およびレジスト層 401 の表

面側に下層側ゲート絶縁膜 451 を形成した後、図 4 (C) に示すように、リフトオフ法により、レジスト層 401 をレジスト層 401 を覆う下層側ゲート絶縁膜 451 とともに除去する。なお、上述したようなリフトオフ法によらず、半導体膜 440 上に下層側ゲート絶縁膜 451 を形成した後、レジスト層を形成してパターンニングしてもよい。

【0055】

次に、図 4 (D) に示すように、表面全体に上層側ゲート絶縁膜 452 を形成する。その結果、ゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造の厚い部分と、下層側ゲート絶縁膜 451 のみからなる薄い部分を有することになる。

【0056】

次に、図 4 (E) に示すように、ゲート電極 450 を形成した後、図 4 (F) に示すように、ゲート電極 450 をマスクにして半導体膜 440 に高濃度の不純物を導入して、ゲート電極 450 に対してセルフアライン的に高濃度領域からなるソース領域 420 およびドレイン領域 430 を形成する。

【0057】

[実施の形態 4]

実施の形態 3 で説明した半導体装置の製造方法において、図 4 (A) を参照して説明した工程で、レジスト層 401 の形成範囲を一点鎖線 401' で示す範囲まで広げれば、図 1 (D) に示すトランジスタ 40D が形成される。

【0058】

このトランジスタ 40D では、チャネル形成領域 410 のうち、ドレイン領域 430 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚が、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚いが、ソース領域 420 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 については、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 と膜厚が等しい。

【0059】

その他の構成は、実施の形態 3 と同様であるため、共通する部分には同一の符号を付して図示することにしてそれらの説明を省略するが、本形態のトランジスタ 40D も、ドレイン端のゲート絶縁膜 450 が厚いので、ドレイン端での電界強度が緩和されるため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消されるなど、実施の形態 3 と同様な効果を奏する。

【0060】

[実施の形態 5]

図 5 (A) において、本形態の半導体装置では、基板 400 の上に LDD 構造のトランジスタ 40E が形成されており、このトランジスタ 40E は、ソース領域 420 とドレイン領域 430 との間にチャネルを形成可能なチャネル形成領域 410 と、このチャネル形成領域 410 にゲート絶縁膜 450 を介して対向するゲート電極 460 とを備えている。ソース領域 420 およびドレイン領域 430 には、層間絶縁膜 490 およびゲート絶縁膜 450 に形成されたコンタクトホールを介してソース電極 470 およびドレイン電極 480 がそれぞれ電氣的に接続している。

【0061】

ソース領域 420 およびドレイン領域 430 は、ゲート電極 460 の端部に対してゲート絶縁膜 450 を介して対峙する部分に低濃度ソース領域 421 および低濃度ドレイン領域 431 を備え、その外側に高濃度ソース領域 422 および高濃度ドレイン領域 432 を備えている。

【0062】

本形態では、チャネル形成領域 410 のうち、低濃度ドレイン領域 431 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚は、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚い。また、チャネル形成領域 410 のうち、低濃度ソース領域 421 に隣接する境界領域 413 と重なる部分のゲート絶縁膜 450 の膜厚も、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚い。

【0063】

すなわち、ゲート絶縁膜 450 は、ソース領域 420、ドレイン領域 430、およびチャネル形成領域 410 を構成する半導体膜 440 の表面側全体に形成された下層側ゲート絶縁膜 451 と、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分を避けるように形成された上層側ゲート絶縁膜 452 とから構成されており、チャネル形成領域 410 のうち、低濃度ドレイン領域 431 および低濃度ソース領域 421 に隣接する境界領域 412、413 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造になっている。これに対して、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 のみから構成されている。

【0064】

このように構成したトランジスタ 40E では、ゲート電極 460 にゲート絶縁膜 450 を介して対峙する部分に低濃度ドレイン領域 431 および低濃度ソース領域 421 を備えているため、図 6 に実線 L11 で示すように、ドレイン端での電界強度が緩和されているので、オフリーク電流のレベルが低い。また、ドレイン端のゲート絶縁膜 450 が厚いので、ドレイン端での電界強度がさらに緩和されているため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。それでも、チャネル形成領域 410 の中央部分 411 では、ゲート絶縁膜 450 が薄いため、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高い。

【0065】

このような構成の半導体装置を製造するにあたっては、まず、図 7 (A) に示すように、基板 400 の表面にチャネル形成領域 410、ソース領域 420、およびドレイン領域 430 を形成するためのシリコン膜などの半導体膜 440 を形成する。

【0066】

次に、ゲート絶縁膜形成工程において、シリコン酸化膜やシリコン窒化膜などからなる下層側ゲート絶縁膜 451 を形成する。

【0067】

次に、図 7 (B) に示すように、下層側ゲート絶縁膜 451 の表面のうち、少なくともチャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分にレジスト層 401 を形成するとともに、チャネル形成領域 410 において低濃度ドレイン領域 431 および低濃度ソース領域 421 に隣接する境界領域 412、413 と重なる部分に対してはレジスト層 401 の形成を避ける。

【0068】

次に、図 7 (C) に示すように、下層側ゲート絶縁膜 451 およびレジスト層 401 の表面側にシリコン酸化膜やシリコン窒化膜などからなる上層側ゲート絶縁膜 452 を形成する。この際には、カバレッジの低い方法で上層側ゲート絶縁膜 452 を形成することが好ましい。

【0069】

次に、図 7 (D) に示すように、レジスト層 401 をレジスト層 401 を覆う上層側ゲート絶縁膜 452 とともに除去する（リフトオフ法）。その結果、ゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造の厚い部分と、下層側ゲート絶縁膜 451 のみからなる薄い部分を有することになる。

【0070】

次に、図 7 (E) に示すように、ゲート電極 460 を形成した後、図 7 (F) に示すように、ゲート電極 460 をマスクにして半導体膜 440 に低濃度の不純物を導入して、ゲート電極 460 に対してセルフアライン的に低濃度ソース領域 421 および低濃度ドレイン領域 431 を形成する。

【0071】

しかる後には、図 7 (G) に示すように、ゲート電極 460 を広めに覆うレジストマスク 402 を形成した後、このレジストマスク 402 の開口から半導体膜 440 に高濃度の不純物を導入して、ゲート電極 460 の端部にゲート絶縁膜 450 を介して対峙する部分から外側にずれた部分に高濃度ソース領域 422 および高濃度ドレイン領域 432 を形成する。その結果、ゲート電極 460 の端部にゲート絶縁膜 450 を介して対峙する部分には、低濃度ソース領域 421 および低濃度ドレイン領域 431 が残る。

【0072】**[実施の形態6]**

実施の形態5で説明した半導体装置の製造方法において、図7（B）を参照して説明した工程で、レジスト層401の形成範囲を一点鎖線401'で示す範囲まで広げれば、図5（B）に示すトランジスタ40Fが形成される。

【0073】

このトランジスタ40Fでは、チャネル形成領域410のうち、低濃度ドレイン領域431に隣接する境界領域412と重なる部分のゲート絶縁膜450の膜厚が、チャネル形成領域410のチャネル長方向における中央部分411と重なる部分のゲート絶縁膜450の膜厚に比して厚いが、低濃度ソース領域421に隣接する境界領域413と重なる部分のゲート絶縁膜450については、チャネル形成領域410のチャネル長方向における中央部分411と重なる部分のゲート絶縁膜450と膜厚が等しい。

【0074】

その他の構成は、実施の形態5と同様であるため、共通する部分には同一の符号を付して図示することにしてそれらの説明を省略するが、本形態のトランジスタ40Fも、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高いなど、実施の形態5と同様な効果を奏する。

【0075】**[実施の形態7]**

図5（C）において、本形態の半導体装置でも、トランジスタ40Gは、チャネル形成領域410のうち、低濃度ドレイン領域431に隣接する境界領域412と重なる部分のゲート絶縁膜450の膜厚は、チャネル形成領域410のチャネル長方向における中央部分411と重なる部分のゲート絶縁膜450の膜厚に比して厚い。また、チャネル形成領域410のうち、低濃度ソース領域421に隣接する境界領域413と重なる部分のゲート絶縁膜450の膜厚も、チャネル形成領域410のチャネル長方向における中央部分411と重なる部分のゲート絶縁膜450の膜厚に比して厚い。

【0076】

但し、本形態では、実施の形態 5 とは違って、ゲート絶縁膜 450 は、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分为了避免るように形成された下層側ゲート絶縁膜 451 と、その表面全体に形成された上層側ゲート絶縁膜 452 とから構成されている。このため、チャネル形成領域 410 のうち、ドレイン領域 430 およびソース領域 420 に隣接する境界領域 412、413 と重なる部分のゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造になっているのに対して、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 は、上層側ゲート絶縁膜 452 のみから構成されている。

【0077】

このように構成したトランジスタ 40G でも、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高いなど、実施の形態 5 と同様な効果を奏する。

【0078】

このような構成の半導体装置を製造するにあたっては、まず、図 8 (A) に示すように、基板 400 の表面にチャネル形成領域 410、ソース領域 420、およびドレイン領域 430 を形成するための半導体膜 440 を形成する。

【0079】

次に、ゲート絶縁膜形成工程において、半導体膜 440 の表面のうち、少なくともチャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分にレジスト層 401 を形成するとともに、チャネル形成領域 410 において低濃度ドレイン領域 431 および低濃度ソース領域 421 に隣接する境界領域 412、413 と重なる部分に対してはレジスト層 401 の形成を避ける。

【0080】

次に、図 8 (B) に示すように、半導体膜 440 およびレジスト層 401 の表面側に下層側ゲート絶縁膜 451 を形成した後、図 8 (C) に示すように、レジスト層 401 をレジスト層 401 を覆う下層側ゲート絶縁膜 451 とともに除去する。

【0081】

次に、図 8 (D) に示すように、表面全体に上層側ゲート絶縁膜 452 を形成する。その結果、ゲート絶縁膜 450 は、下層側ゲート絶縁膜 451 と上層側ゲート絶縁膜 452 との二層構造の厚い部分と、下層側ゲート絶縁膜 451 のみからなる薄い部分を有することになる。

【0082】

次に、図 8 (E) に示すように、ゲート電極 460 を形成した後、図 8 (F) に示すように、ゲート電極 460 をマスクにして半導体膜 440 に低濃度の不純物を導入して、ゲート電極 460 に対してセルフアライン的に低濃度ソース領域 421 および低濃度ドレイン領域 431 を形成する。

【0083】

しかる後には、図 8 (G) に示すように、ゲート電極 460 を広めに覆うレジストマスク 402 を形成した後、このレジストマスク 402 の開口から半導体膜 440 に高濃度の不純物を導入して、ゲート電極 460 の端部にゲート絶縁膜 450 を介して対峙する部分から外側にずれた部分に高濃度ソース領域 422 および高濃度ドレイン領域 432 を形成する。その結果、ゲート電極 460 の端部にゲート絶縁膜 450 を介して対峙する部分には、低濃度ソース領域 421 および低濃度ドレイン領域 431 が残る。

【0084】

[実施の形態 8]

実施の形態 7 で説明した半導体装置の製造方法において、図 8 (A) を参照して説明した工程で、レジスト層 401 の形成範囲を一点鎖線 401' で示す範囲まで広げれば、図 5 (D) に示すトランジスタ 40H が形成される。

【0085】

このトランジスタ 40H では、チャネル形成領域 410 のうち、低濃度ドレイン領域 431 に隣接する境界領域 412 と重なる部分のゲート絶縁膜 450 の膜厚が、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲート絶縁膜 450 の膜厚に比して厚いが、低濃度ソース領域 421 に隣接する境界領域 413 と重なる部分のゲート絶縁膜 450 については、チャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分のゲ-

ト絶縁膜 450 と膜厚が等しい。

【0086】

その他の構成は、実施の形態 7 と同様であるため、共通する部分には同一の符号を付して図示することにしてそれらの説明を省略するが、本形態のトランジスタ 40H も、オフリーク電流レベルが低いわりには、オン電流レベルのレベルが高いなど、実施の形態 5 と同様な効果を奏する。

【0087】

〔実施の形態 9〕

実施の形態 1 ～ 4 は、トップゲート型のセルフアライン構造のトランジスタに本発明を適用したが、図 9（A）に示すように、ボトムゲート型のセルフアライン構造のトランジスタ 40L に本発明を適用してもよい。

【0088】

また、実施の形態 5 ～ 8 は、トップゲート型の LDD 構造のトランジスタに本発明を適用したが、図 9（B）に示すように、ボトムゲート型の LDD 構造のトランジスタ 40M に本発明を適用してもよい。

【0089】

これらのいずれのトランジスタ 40L、40M も、実施の形態 1 ～ 8 と比較して、ゲート絶縁膜 450 に対するゲート電極 460 とチャネル形成領域 410 の上下位置が反対になっている他、その基本的な構造は、実施の形態 1 ～ 8 と同様である。従って、共通する部分については、同一の符号を付して図示することにして、それらの説明を省略する。

【0090】

また、その製造方法では、図 3 あるいは図 7 を参照して説明したように、ゲート絶縁膜形成工程において、下層側ゲート絶縁膜 451 を形成した後、下層側ゲート絶縁膜 451 の表面のうち、少なくともチャネル形成領域 410 のチャネル長方向における中央部分 411 と重なる部分にレジスト層を選択的に形成する。次に、下層側ゲート絶縁膜 451 およびレジスト層の表面側に上層側ゲート絶縁膜 452 を形成した後、レジスト層をこのレジスト層を覆う上層側ゲート絶縁膜 452 とともに除去すればよい。

【0091】

また、図4あるいは図8を参照して説明したように、ゲート絶縁膜形成工程において、チャネル形成領域410のチャネル長方向における中央部分411と重なる部分にレジスト層を選択的に形成した後、レジスト層の表面側に下層側ゲート絶縁膜451を形成する。次に、レジスト層をこのレジスト層を覆う下層側ゲート絶縁膜451とともに除去し、しかる後に、表面全体に上層側ゲート絶縁膜452を形成すればよい。

【0092】**[その他の実施の形態]**

上記形態1～9では、基板400上に形成した半導体膜440を用いて、トランジスタとしてTFETを製造したが、半導体層として、半導体基板上にエピタキシャル成長させた半導体層、あるいは半導体基板の表面自身を用いてもよい。この場合の構造、および製造方法は、それらの半導体層が半導体膜440に代わるだけであるため、説明を省略する。

【0093】

また、上記形態5～8は、LDD構造のTFETをベースに本発明を適用した例であったが、オフセットゲート構造のTFETをベースに本発明を適用してもよい。この場合は図5において低濃度ソース領域421、および低濃度ドレイン領域431がそれぞれ、チャネル形成領域410と不純物濃度が等しいオフセット領域となるだけであり、製造方法において、図7(F)、および図8(F)を参照して説明した低濃度の不純物の導入工程を省略するだけであるため、説明を省略する。

【0094】**[電気光学装置への適用例]**

次に、本発明に係る半導体装置を電気光学物質を保持する電気光学装置用基板(TFETアレイ基板)として用いる例を説明する。

【0095】**(全体構成)**

図10は、電気光学装置をその上に形成された各構成要素と共に対向基板の側

から見た平面図であり、図 11 は、対向基板を含めて示す図 1 の H-H' 断面図である。

【0096】

図 10 において、本形態の電気光学装置 100 は、アクティブマトリクス型の液晶装置であり、TFT アレイ基板 10 の上には、シール材 107 が対向基板 20 の縁に沿うように設けられている。シール材 107 の外側の領域には、データ線駆動回路 101 および実装端子 102（信号入力端子）が TFT アレイ基板 10 の一辺に沿って設けられており、走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って形成されている。更に TFT アレイ基板 10 の残る一辺には、画像表示領域 10a の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられており、更に、額縁 108 の下などを利用して、プリチャージ回路や検査回路が設けられることもある。また、対向基板 20 のコーナ一部分の少なくとも 1 箇所においては、TFT アレイ基板 10 と対向基板 20 との間で電氣的導通をとるための上下導通材 106 が形成されている。

【0097】

そして、図 11 に示すように、図 10 に示したシール材 107 とほぼ同じ輪郭をもつ対向基板 20 がこのシール材 107 により TFT アレイ基板 10 に固着されている。なお、シール材 107 は、TFT アレイ基板 10 と対向基板 20 とをそれらの周辺で貼り合わせるための光硬化樹脂や熱硬化性樹脂などからなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー、あるいはガラスビーズ等のギャップ材が配合されている。

【0098】

詳しくは後述するが、TFT アレイ基板 10 には、画素電極 9a がマトリクス状に形成されている。これに対して、対向基板 20 には、シール材 107 の内側領域に遮光性材料からなる額縁 108 が形成され、その内側が画像表示領域 10a とされている。さらに、TFT アレイ基板 10 に形成されている画素電極（後述する）の縦横の境界領域と対向する領域にブラックマトリクス、あるいはブラックストライプなどと称せられる遮光膜 23 が形成され、その上層側には、ITO 膜からなる対向電極 21 が形成されている。

【0 0 9 9】

このように形成した電気光学装置 1 0 0 は、投射型表示装置（液晶プロジェクタ）に使用される場合、3 枚の電気光学装置 1 0 0 が R G B 用のライトバルブとして各々使用され、各電気光学装置 1 0 0 の各々には、R G B 色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、前記した各形態の電気光学装置 1 0 0 にはカラーフィルタが形成されていない。但し、対向基板 2 0 において各画素電極 9 a に対向する領域に R G B のカラーフィルタをその保護膜とともに形成することにより、投射型表示装置以外にも、後述するモバイルコンピュータ、携帯電話機、液晶テレビなどといった電子機器のカラー表示装置として用いることができる。

【0 1 0 0】

さらに、対向基板 2 0 に対して、各画素に対応するようにマイクロレンズを形成することにより、入射光の画素電極 9 a に対する集光効率を高めることができるので、明るい表示を行うことができる。さらにまた、対向基板 2 0 に何層もの屈折率の異なる干渉層を積層することにより、光の干渉作用を利用して、R G B 色をつくり出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付きの対向基板によれば、より明るいカラー表示を行うことができる。

【0 1 0 1】

（電気光学装置 1 0 0 の構成および動作）

次に、アクティブマトリクス型の電気光学装置 1 0 0 の構成および動作について、図 1 2 ないし図 1 4 を参照して説明する。

【0 1 0 2】

図 1 2 は、電気光学装置 1 0 0 の画像表示領域 1 0 a を構成するためにマトリクス状に形成された複数の画素における各種素子、配線などの等価回路図である。図 1 3 は、データ線、走査線、画素電極などが形成された T F T アレイ基板において相隣接する画素の平面図である。図 1 4 は、図 1 3 の A - A' 線に相当する位置での断面、および T F T アレイ基板と対向基板との間に電気光学物質としての液晶を封入した状態の断面を示す説明図である。なお、これらの図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材

毎に縮尺を異ならしめてある。

【0103】

図12において、電気光学装置100の画像表示領域10aにおいて、マトリクス状に形成された複数の画素の各々には、画素電極9a、および画素電極9aを制御するための画素スイッチング用のTFT30が形成されており、画素信号を供給するデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画素信号S1、S2・・・Snは、この順に線順次に供給する。また、TFT30のゲートには走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2・・・Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのオン状態とすることにより、データ線6aから供給される画素信号S1、S2・・・Snを各画素に所定のタイミングで書き込む。このようにして画素電極9aを介して液晶に書き込まれた所定レベルの画素信号S1、S2、・・・Snは、対向基板20に形成された対向電極21（図11参照）との間で一定期間保持される。

【0104】

ここで、保持された画素信号がリークするのを防ぐことを目的に、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70（キャパシタ）を付加することがある。この蓄積容量70によって、画素電極9aの電圧は、例えば、ソース電圧が印加された時間よりも3桁も長い時間だけ保持される。これにより、電荷の保持特性は改善され、コントラスト比の高い表示を行うことのできる電気光学装置が実現できる。なお、蓄積容量70を形成する方法としては、容量を形成するための配線である容量線3bとの間に形成する場合、あるいは前段の走査線3aとの間に形成する場合もいずれであってもよい。

【0105】

図13において、電気光学装置100のTFTアレイ基板10上には、マトリクス状に複数の透明な画素電極9a（点線で囲まれた領域）が各画素毎に形成され、画素電極9aの縦横の境界領域に沿ってデータ線6a（一点鎖線で示す）、

走査線 3 a（実線で示す）、および容量線 3 b（実線で示す）が形成されている。

【0106】

図 14 に示すように、TFT アレイ基板 10 の基体は、石英基板や耐熱性ガラス板などの透明基板 10 b からなり、対向基板 20 の基体は、石英基板や耐熱性ガラス板などの透明基板 20 b からなる。TFT アレイ基板 10 には画素電極 9 a が形成されており、その上側には、ラビング処理等の所定の配向処理が施されたポリイミド膜などからなる配向膜 16 が形成されている。画素電極 9 a は、たとえば ITO（Indium Tin Oxide）膜等の透明な導電性膜からなる。また、配向膜 16 は、たとえばポリイミド膜などの有機膜に対してラビング処理を行うことにより形成される。なお、対向基板 20 において、対向電極 21 の上層側にも、ポリイミド膜からなる配向膜 22 が形成され、この配向膜 22 も、ポリイミド膜に対してラビング処理が施された膜である。

【0107】

TFT アレイ基板 10 には、透明基板 10 b の表面に下地保護膜 12 が形成されているとともに、その表面側において、各画素電極 9 a に隣接する位置に、各画素電極 9 a をスイッチング制御する画素スイッチング用の TFT 30 が形成されている。

【0108】

図 13 および図 14 に示すように、画素スイッチング用の TFT 30 は、島状のシリコン膜からなる半導体膜 1 a に対して、チャンネル形成領域 1 a'、高濃度ソース領域 1 d、並びに高濃度ドレイン領域 1 e が形成されている。また、半導体膜 1 a の上層側には、この半導体膜 1 a と走査線 3 a とを絶縁するゲート絶縁膜 2 が形成されている。

【0109】

ここで、高濃度ソース領域 1 d、および高濃度ドレイン領域 1 e は、ゲート電極（走査線 3 a）に対してセルフアライン的に形成されているが、TFT 30 は、図 1（A）を参照して説明した構造を有しており、ドレイン端のゲート絶縁膜 2 が厚い。従って、TFT 30 では、ドレイン端での電界強度が緩和されるため

、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。また、チャネル形成領域 1 a' の中央部分では、ゲート絶縁膜 2 が薄く、かつ、LDD 構造と違って低濃度領域がないので、オン電流レベルも高い。

【0110】

なお、図 14 には、TF T 30 として、図 1 (A) を参照して説明した構造の TF T を表してあるが、図 1 (A) に限らず、図 1 (B) ~ (D)、図 5 (A) ~ (D)、および図 6 (A)、(B) に示した構造を有する TF T を用いてもよい。

【0111】

このように構成した TF T 30 の表面側には、シリコン酸化膜からなる層間絶縁膜 4、7 が形成されている。層間絶縁膜 4 の表面には、データ線 6 a が形成され、このデータ線 6 a は、層間絶縁膜 4 に形成されたコンタクトホール 5 を介して高濃度ソース領域 1 d に電氣的に接続している。層間絶縁膜 7 の表面には ITO 膜からなる画素電極 9 a が形成されている。画素電極 9 a は、層間絶縁膜 7 に形成されたコンタクトホール 7 a を介してドレイン電極 6 b に電氣的に接続し、このドレイン電極 6 b は、層間絶縁膜 4 およびゲート絶縁膜 2 に形成されたコンタクトホール 8 を介して高濃度ドレイン領域 1 e に電氣的に接続している。この画素電極 9 a の表面側にはポリイミド膜からなる配向膜 16 が形成されている。

【0112】

また、高濃度ドレイン領域 1 e からの延設部分 1 f (下電極) に対しては、ゲート絶縁膜 2 a と同時形成された絶縁膜 (誘電体膜) を介して、走査線 3 a と同層の容量線 3 b が上電極として対向することにより、蓄積容量 70 が構成されている。

【0113】

このように構成した TF T アレイ基板 10 と対向基板 20 とは、画素電極 9 a と対向電極 21 とが対面するように配置され、かつ、これらの基板間には、前記のシール材 53 (図 10 および図 11 を参照) により囲まれた空間内に電気光学物質としての液晶 50 が封入され、挟持されている。液晶 50 は、画素電極 9 a からの電界が印加されていない状態で配向膜により所定の配向状態をとる。液晶

50は、例えば一種または数種のネマティック液晶を混合したものなどからなる。

【0114】

なお、対向基板20およびTFTアレイ基板10の光入射側の面あるいは光出射側には、使用する液晶50の種類、すなわち、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード等々の動作モードや、ノーマリホワイトモード／ノーマリブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の向きに配置される。

【0115】

（周辺回路の構成）

再び図10において、本形態の電気光学装置100では、TFTアレイ基板10の表面側のうち、画像表示領域10aの周辺領域を利用してデータ線駆動回路101および走査線駆動回路104が形成されている。このようなデータ線駆動回路101および走査線駆動回路104は、基本的には、図15および図16に示すNチャネル型のTFTとPチャネル型のTFTとによって構成されている。

【0116】

図15は、走査線駆動回路104およびデータ線駆動回路101等の周辺回路を構成するTFTの構成を示す平面図である。図16は、この周辺回路を構成するTFTを図11のB-B'線で切断したときの断面図である。

【0117】

図15および図16において、周辺回路を構成するTFTは、Pチャネル型のTFT80とNチャネル型のTFT90とからなる相補型TFTとして構成されている。これらの駆動回路用のTFT80、90を構成する半導体膜60（輪郭を点線で示す）は、基板10b上に形成された下地保護膜12を介して島状に形成されている。

【0118】

TFT80、90には、高電位線71と低電位線72がコンタクトホール63、64を介して、半導体膜60のソース領域に電氣的にそれぞれ接続されている。また、入力配線66は、共通のゲート電極65にそれぞれ接続されており、出

力配線 67 は、コンタクトホール 68、69 を介して、半導体膜 60 のドレイン領域に電氣的にそれぞれ接続されている。

【0119】

このような周辺回路領域も、画像表示領域 10a と同様なプロセスを経て形成されるため、周辺回路領域にも、層間絶縁膜 4、7 およびゲート絶縁膜 2 が形成されている。

【0120】

また、駆動回路用の TFT 80、90 も、画素スイッチング用の TFT 30 と同様、チャネル形成領域 81、91 の両側には、高濃度ソース領域 82、92 と、高濃度ドレイン領域 84、94 とを備えている。ここで、高濃度ソース領域 82、92、および高濃度ドレイン領域 84、94 は、ゲート電極 65 に対してセルフアライン的に形成されているが、TFT 80、90 は、図 1 (A) を参照して説明した構造を有しており、ドレイン端のゲート絶縁膜 2 が厚い。従って、TFT 80、90 では、ドレイン端での電界強度が緩和されるため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。また、チャネル形成領域 81、91 の中央部分では、ゲート絶縁膜 2 が薄く、かつ、LD 構造と違って低濃度領域がないので、オン電流レベルも高い。

【0121】

なお、図 16 には、TFT 80、90 として、図 1 (A) を参照して説明した構造の TFT を表してあるが、図 1 (A) に限らず、図 1 (B) ~ (D)、図 5 (A) ~ (D)、および図 6 (A)、(B) に示した構造を有する TFT を用いてもよい。

【0122】

[その他の適用例]

上記形態では、半導体装置として、アクティブマトリクス型電気光学装置に用いる TFT アレイ基板を例に説明したが、液晶以外の電気光学物質を用いた電気光学装置、例えば、図 17 および図 18 を参照して以下に説明する有機エレクトロルミネッセンス表示装置に用いる TFT アレイ基板、あるいは電気光学装置以外の半導体装置の製造などに本発明を適用してもよい。

【0123】

図17は、電荷注入型の有機薄膜エレクトロルミネセンス素子を用いたアクティブマトリクス型電気光学装置のブロック図である。図18(A)、(B)はそれぞれ、図17に示す電気光学装置に形成した画素領域を拡大して示す平面図、およびその断面図である。

【0124】

図17に示す電気光学装置100pは、有機半導体膜に駆動電流が流れることによって発光するEL（エレクトロルミネッセンス）素子、またはLED（発光ダイオード）素子などの発光素子をTFTで駆動制御するアクティブマトリクス型の表示装置であり、このタイプの電気光学装置に用いられる発光素子はいずれも自己発光するため、バックライトを必要とせず、また、視野角依存性が少ないなどの利点がある。

【0125】

ここに示す電気光学装置100pでは、TFTアレイ基板10p上に、複数の走査線3pと、走査線3pの延設方向に対して交差する方向に延設された複数のデータ線6pと、これらのデータ線6pに並列する複数の共通給電線23pと、データ線6pと走査線3pとの交差点に対応する画素領域15pとが構成されている。データ線6pに対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ側駆動回路101pが構成されている。走査線3pに対しては、シフトレジスタおよびレベルシフタを備える走査側駆動回路104pが構成されている。

【0126】

また、画素領域15pの各々には、走査線3pを介して走査信号がゲート電極に供給される第1のTFT31p（半導体素子）と、この第1のTFT31pを介してデータ線6pから供給される画像信号を保持する保持容量33p（薄膜キャパシタ素子）と、この保持容量33pによって保持された画像信号がゲート電極に供給される第2のTFT32p（半導体素子）と、第2のTFT32pを介して共通給電線23pに電氣的に接続したときに共通給電線23pから駆動電流が流れ込む発光素子40pとが構成されている。

【0127】

本形態では、図18 (A)、(B)に示すように、いずれの画素領域15 pにおいても、ガラスなどからなる基板10 p'の表面に下地保護膜11 pが形成されているとともに、この下地保護膜11 pの表面に島状に形成された2つの半導体膜を利用して第1のTF T 3 1 pおよび第2のTF T 3 2 pが形成されている。また、第2のTF T 3 2 pのソース・ドレイン領域の一方には、中継電極35 pが電氣的に接続し、この中継電極35 pには画素電極41 pが電氣的に接続している。この画素電極41 pの上層側には、正孔注入層42 p、有機エレクトロルミネッセンス材料層としての有機半導体膜43 p、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極20 pが積層されている。ここで、対向電極20 pは、データ線6 pなどを跨いで複数の画素領域15 pにわたって形成されている。

【0128】

第2のTF T 3 2 pのソース・ドレイン領域のもう一方には、コンタクトホールを介して共通給電線23 pが電氣的に接続している。これに対して、第1のTF T 3 1 pでは、そのソース・ドレイン領域の一方に電氣的に接続する電位保持電極35 pは、第2のゲート電極72 pの延設部分720 pに電氣的に接続している。この延設部分720 pに対しては、その下層側において上層側ゲート絶縁膜50 pを介して半導体膜400 pが対向し、この半導体膜400 pは、それに導入された不純物によって導電化されているので、延設部分720 pおよび上層側ゲート絶縁膜50 pとともに保持容量33 pを構成している。ここで、半導体膜400 pに対しては層間絶縁膜51 pのコンタクトホールを介して共通給電線23 pが電氣的に接続している。

【0129】

従って、保持容量33 pは、第1のTF T 3 1 pを介してデータ線6 pから供給される画像信号を保持するので、第1のTF T 3 1 pがオフになっても、第2のTF T 3 2 pのゲート電極31 pは画像信号に相当する電位に保持される。それ故、発光素子40 pには共通給電線23 pから駆動電流が流れ続けるので、発光素子40 pは発光し続け、画像を表示する。

【0130】

このようなTF Tアレイ基板10pにおいても、第1のTF T31pおよび第2のTF T32pに対して、図1～図9を参照して説明した構造を適用すれば、電気的特性の向上や信頼性の向上を図ることができる。

【0131】**[電子機器への適用]**

次に、本発明を適用した電気光学装置100、100pを備えた電子機器の一例を、図19、図20(A)、(B)を参照して説明する。

【0132】

図19は、上記の電気光学装置と同様に構成された電気光学装置100を備えた電子機器の構成をブロック図である。図20(A)、(B)はそれぞれ、本発明に係る電気光学装置を用いた電子機器の一例としてのモバイル型のパーソナルコンピュータの説明図、および携帯電話機の説明図である。

【0133】

図19において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、電気光学装置100、100p、クロック発生回路1008、および電源回路1010を含んで構成される。表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスクなどのメモリ、テレビ信号の画信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、所定フォーマットの画像信号を処理して表示情報処理回路1002に出力する。この表示情報出力回路1002は、たとえば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、あるいはクランプ回路等の周知の各種処理回路を含んで構成され、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKとともに駆動回路1004に出力する。駆動回路1004は、電気光学装置100、100pを駆動する。電源回路1010は、上述の各回路に所定の電源を供給する。なお、電気光学装置100、100pを構成するTF Tアレイ基板の上に駆動回路1004を形成してもよく、それに加えて、表示情報処理回路1002もT

FTアレイ基板の上に形成してもよい。

【0134】

このような構成の電子機器としては、投射型液晶表示装置（液晶プロジェクタ）、マルチメディア対応のパーソナルコンピュータ（PC）、およびエンジニアリング・ワークステーション（EWS）、ページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルなどを挙げることができる。

【0135】

すなわち、図20（A）に示すように、パーソナルコンピュータ180は、キーボード181を備えた本体部182と、表示ユニット183とを有する。表示ユニット183は、前述した電気光学装置100、100pを含んで構成される。

【0136】

また、図20（B）に示すように、携帯電話機190は、複数の操作ボタン191と、前述した電気光学装置100、100pからなる表示部とを有している。

【0137】

【発明の効果】

以上説明したように、本発明を適用したトランジスタでは、ドレイン端のゲート絶縁膜が厚いので、ドレイン端での電界強度が緩和されるため、オフリーク電流レベルが低く、かつ、電流レベルの急峻な跳ね上がりも解消される。また、チャネル形成領域の中央部分では、ゲート絶縁膜が薄く、かつ、LDD構造と違って低濃度領域がないので、オン電流レベルも高い。それ故、本発明によれば、オン電流特性、およびオフリーク電流特性の双方を向上することができる。

【図面の簡単な説明】

【図1】 （A）～（D）はそれぞれ、本発明の実施の形態1～4に係るセルフアライン構造のトランジスタ単体（半導体装置単体）の構成を示す断面図である。

【図 2】 図 1 に示すトランジスタのオン電流特性、およびオフリーク電流特性を示すグラフである。

【図 3】 本発明の実施の形態 1 に係るトランジスタの製造方法を示す工程断面図である。

【図 4】 本発明の実施の形態 3 に係るトランジスタの製造方法を示す工程断面図である。

【図 5】 (A) ~ (D) はそれぞれ、本発明の実施の形態 5 ~ 8 に係る LDD 構造のトランジスタ単体（半導体装置単体）の構成を示す断面図である。

【図 6】 図 5 に示すトランジスタのオン電流特性、およびオフリーク電流特性を示すグラフである。

【図 7】 本発明の実施の形態 5 に係るトランジスタの製造方法を示す工程断面図である。

【図 8】 本発明の実施の形態 7 に係るトランジスタの製造方法を示す工程断面図である。

【図 9】 (A)、(B) はそれぞれ、本発明の実施の形態 9 に係る LDD 構造のトランジスタ単体（半導体装置単体）の構成を示す断面図である。

【図 10】 本発明を適用した電気光学装置をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 11】 図 10 の H-H' 断面図である。

【図 12】 電気光学装置の画像表示領域において、マトリクス状に配置された複数の画素に形成された各種素子、配線などの等価回路図である

【図 13】 電気光学装置において、TFT アレイ基板に形成された各画素の構成を示す平面図である。

【図 14】 図 10 および図 11 に示す電気光学装置の画像表示領域の一部を図 4 の A-A' 線に相当する位置で切断したときの断面図である。

【図 15】 図 10 および図 11 に示す電気光学装置の画像表示領域の周辺領域に形成した回路の平面図である。

【図 16】 図 15 に示す駆動回路用の TFT の断面図である。

【図 17】 電荷注入型の有機薄膜エレクトロルミネセンス素子を用いたア

クティブマトリクス型電気光学装置のブロック図である。

【図 18】 (A)、(B) はそれぞれ、図 17 に示す電気光学装置に形成した画素領域を拡大して示す平面図、およびその断面図である。

【図 19】 本発明に係る電気光学装置を表示装置として用いた電子機器の回路構成を示すブロック図である。

【図 20】 (A)、(B) はそれぞれ、本発明に係る電気光学装置を用いた電子機器の一実施形態としてのモバイル型のパーソナルコンピュータを示す説明図、および携帯電話機の説明図である。

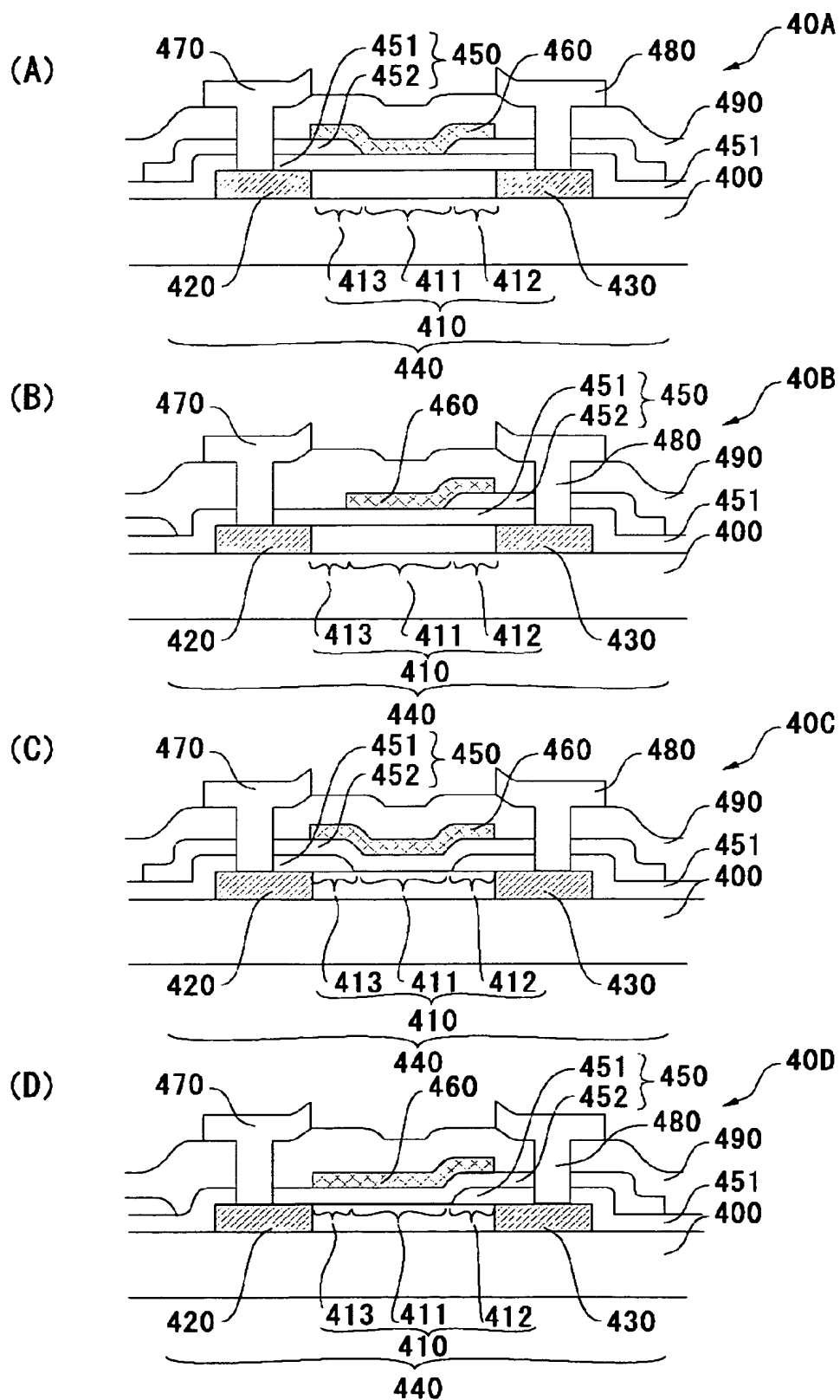
【図 21】 (A)、(B) はそれぞれ、従来のセルフアライン構造の TFT の断面図、および従来の LDD 構造の TFT の断面図である。

【符号の説明】

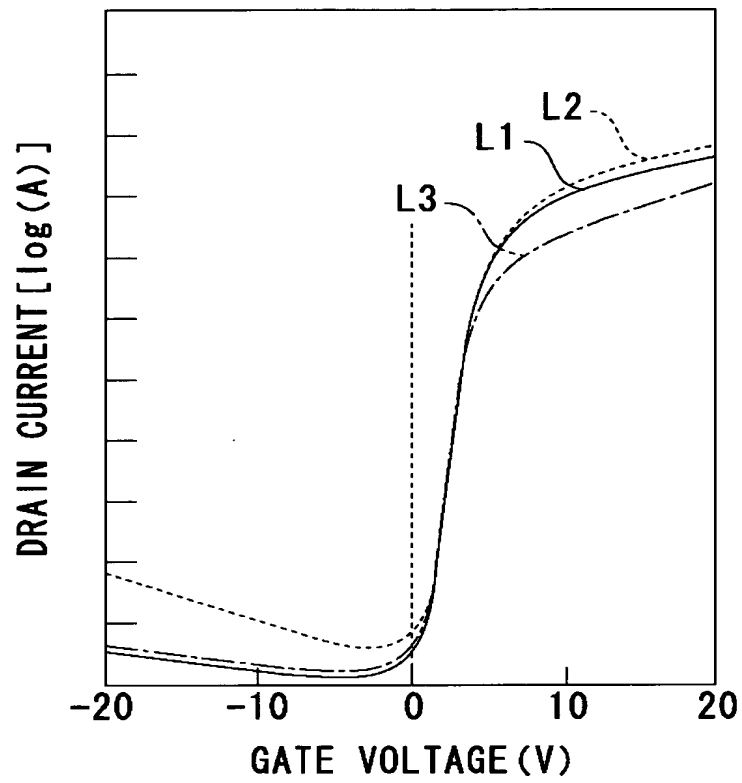
1 a 半導体膜（多結晶のシリコン膜）、2 ゲート絶縁膜、3 a 走査線、3 b 容量線、4、7 層間絶縁膜、6 a データ線、6 b ドレイン電極、9 a 画素電極、10、10 p TFT アレイ基板（半導体装置）、30、31 p、32 p、80、90 TFT（半導体素子）、40 A～40 H、40 L、40 M トランジスタ、100、100 p 電気光学装置、400 基板、410 チャネル形成領域、411 チャネル形成領域の中央部分、412、413 チャネル形成領域の境界領域、420 ソース領域、421 低濃度ソース領域、422 高濃度ソース領域、430 ドレイン領域、431 低濃度ドレイン領域、432 高濃度ドレイン領域、450 ゲート絶縁膜、451 下層側ゲート絶縁膜、452 上層側ゲート絶縁膜、460 ゲート電極

【書類名】 図面

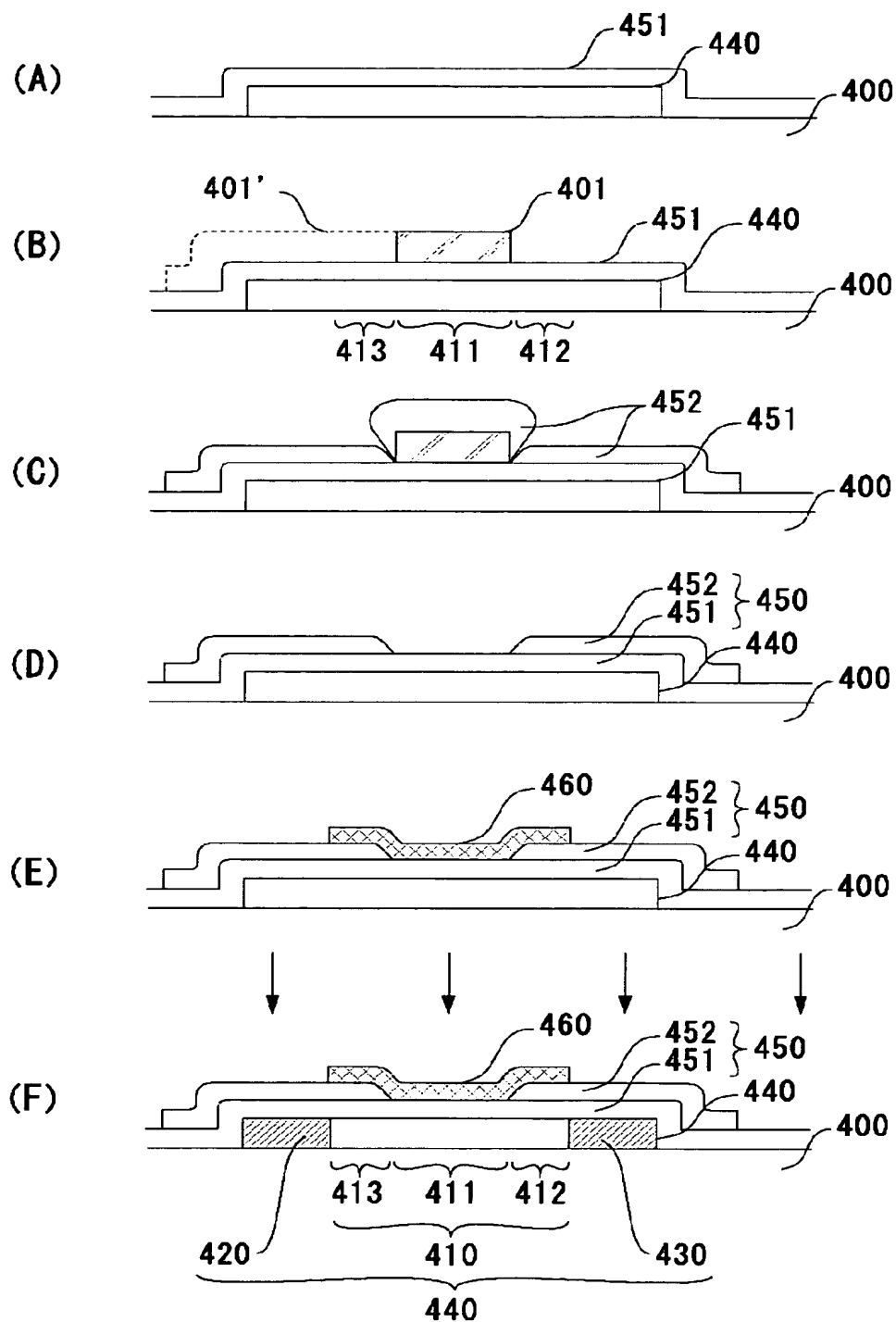
【図 1】



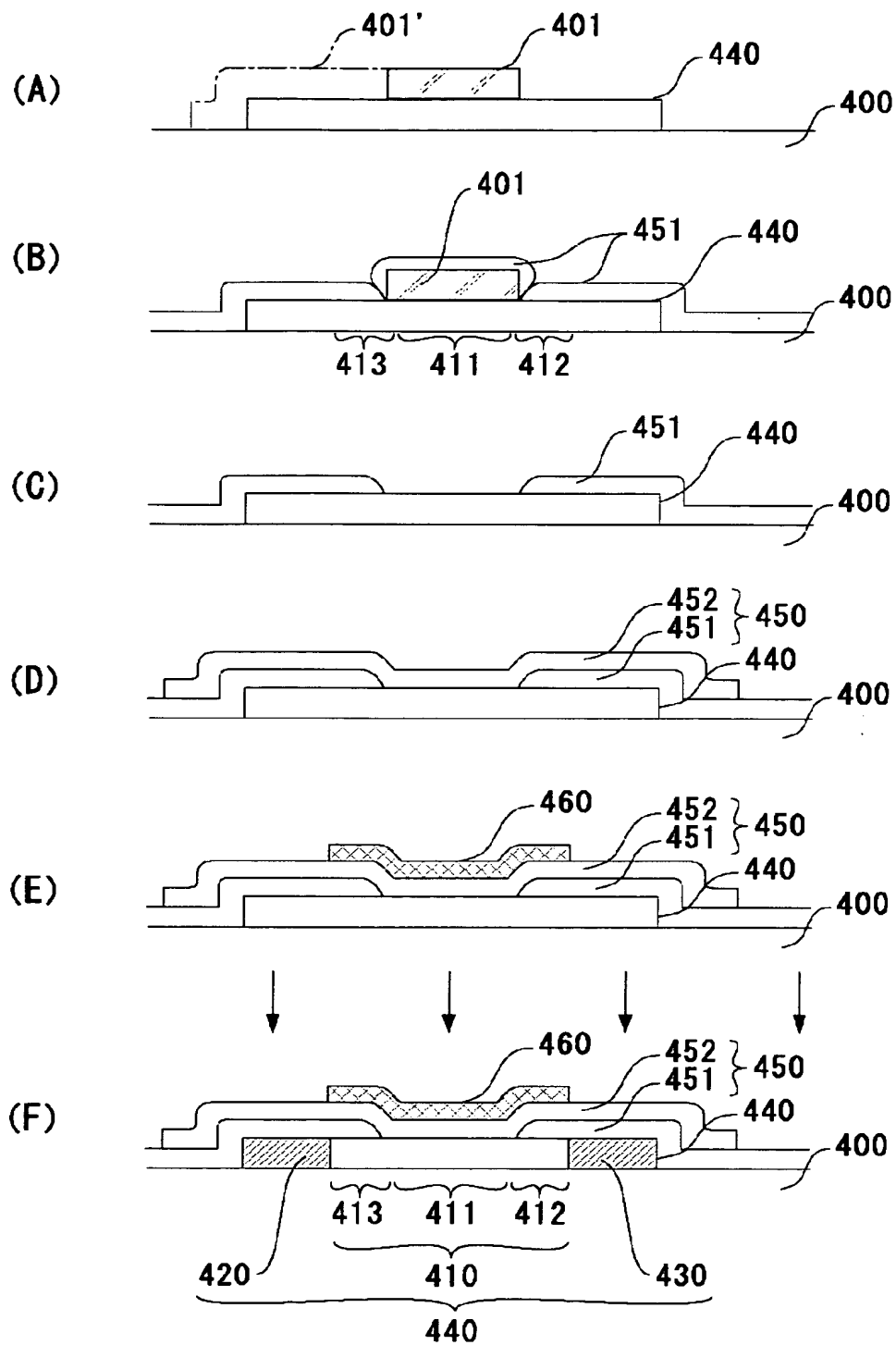
【図 2】



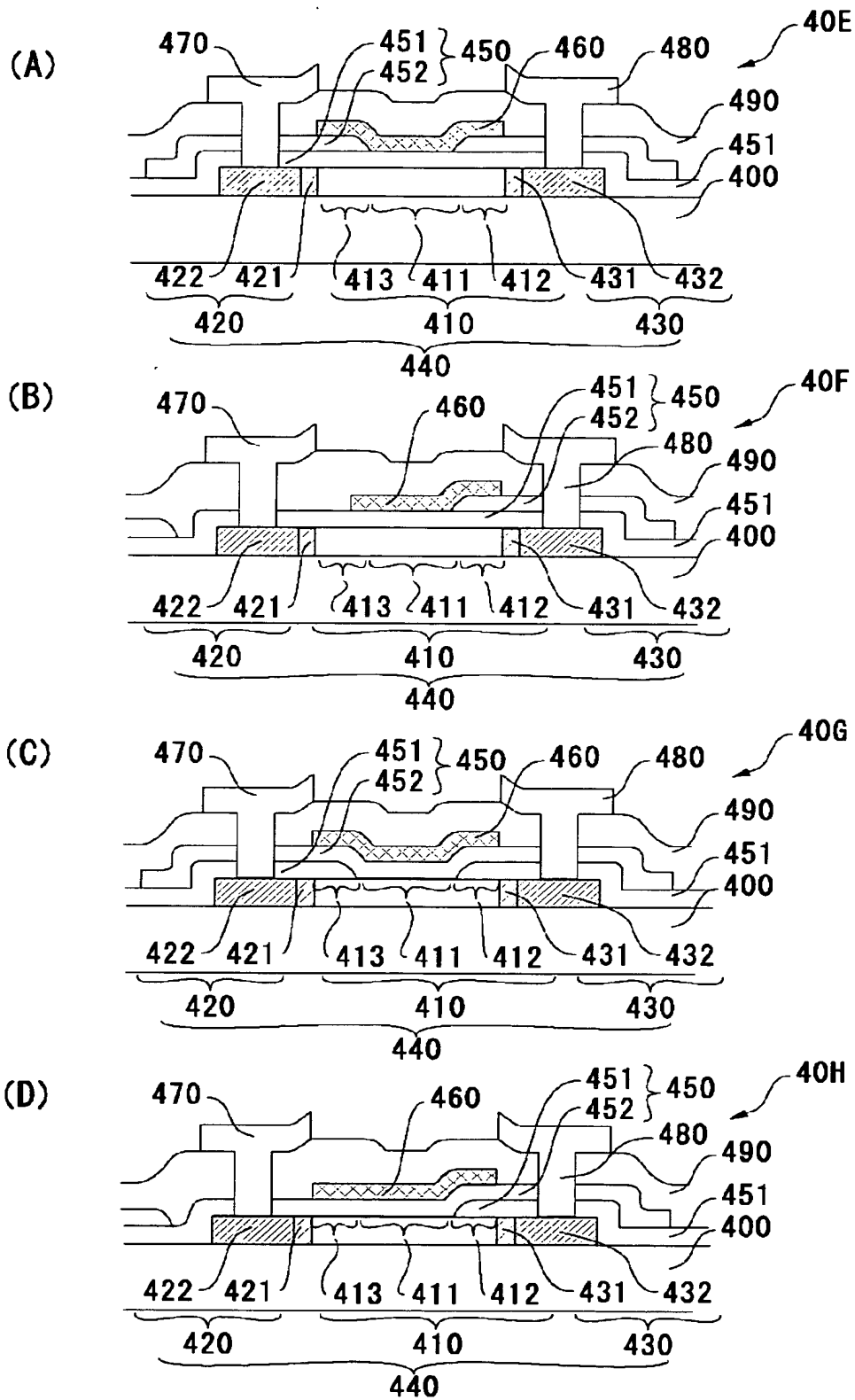
【図 3】



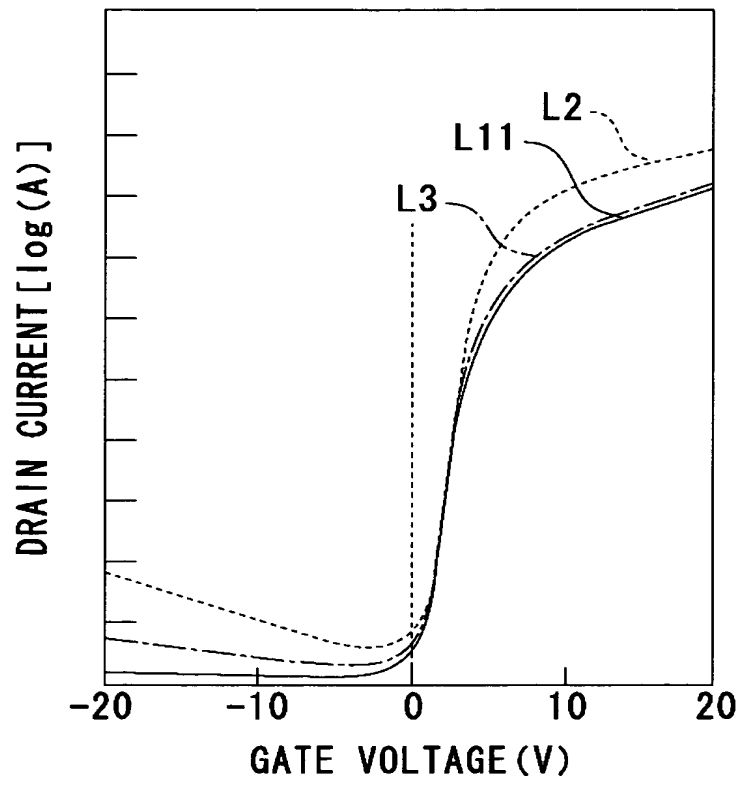
【図 4】



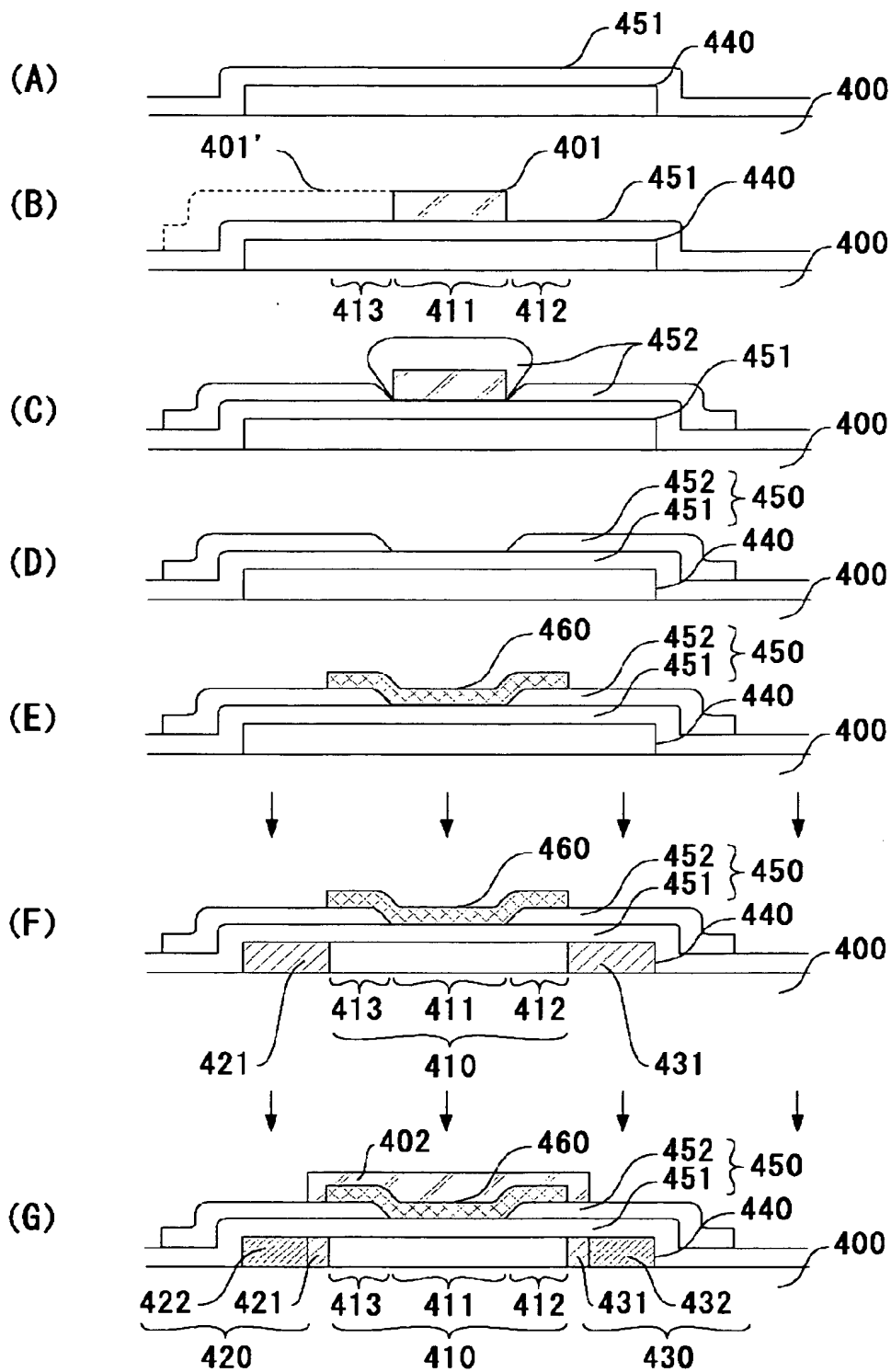
【図 5】



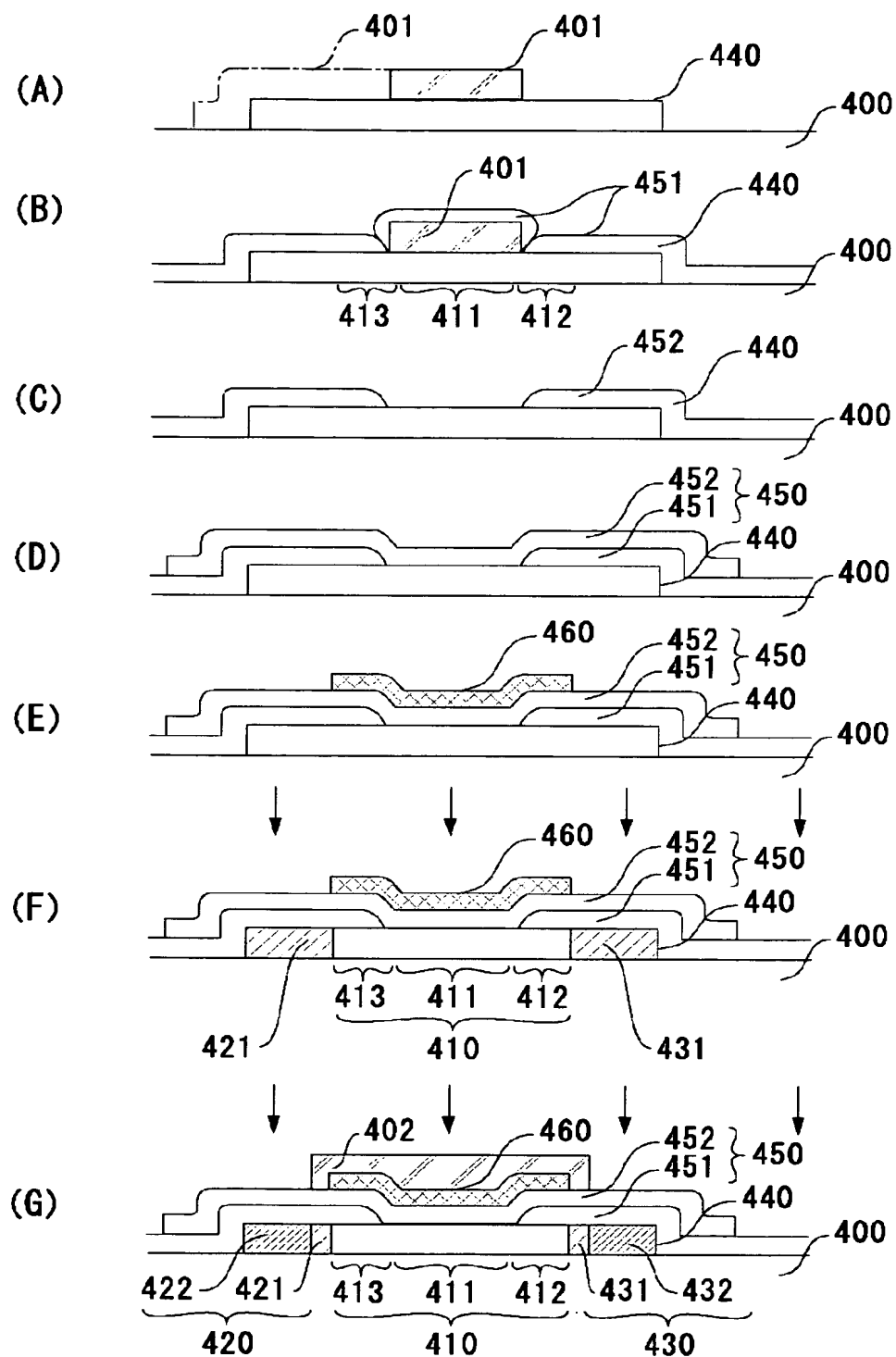
【図 6】



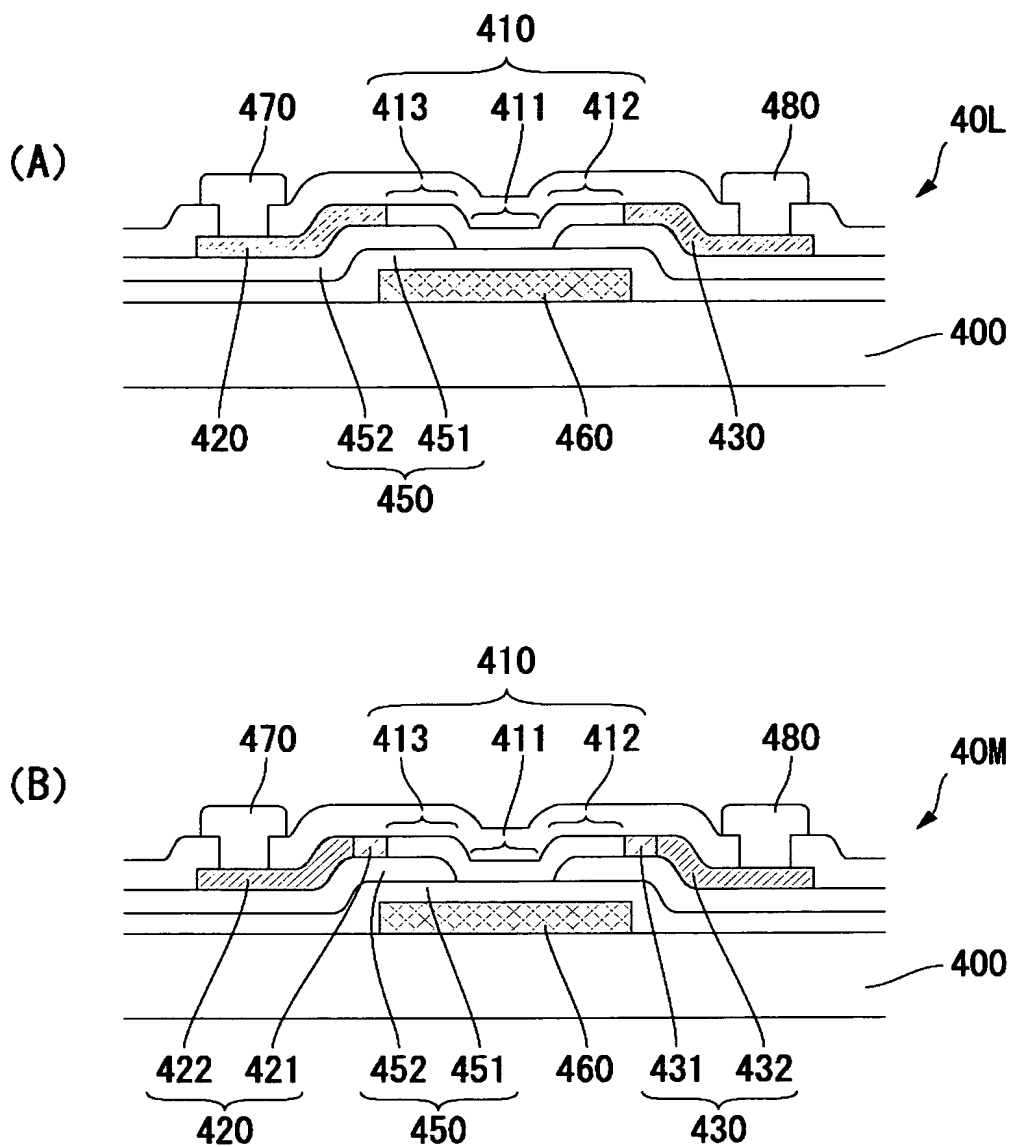
【図 7】



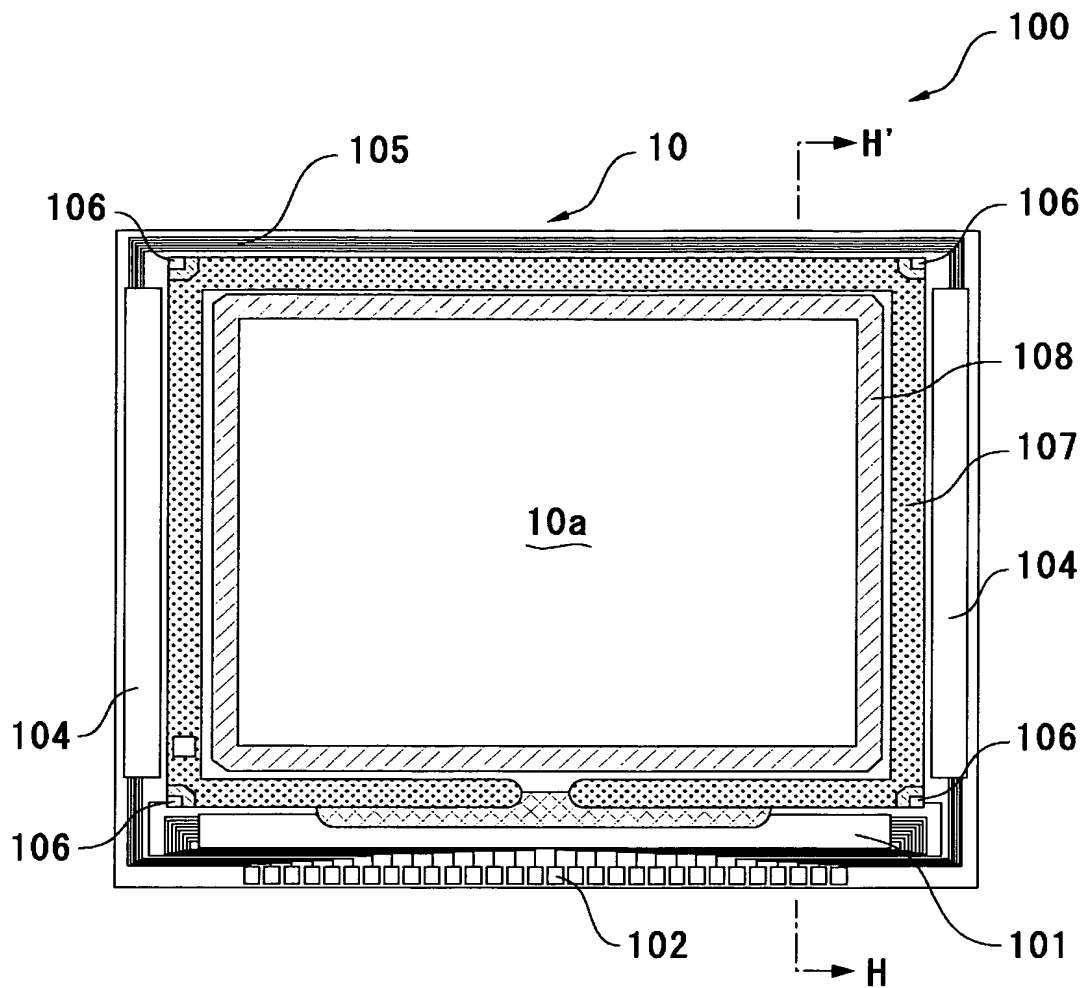
【図 8】



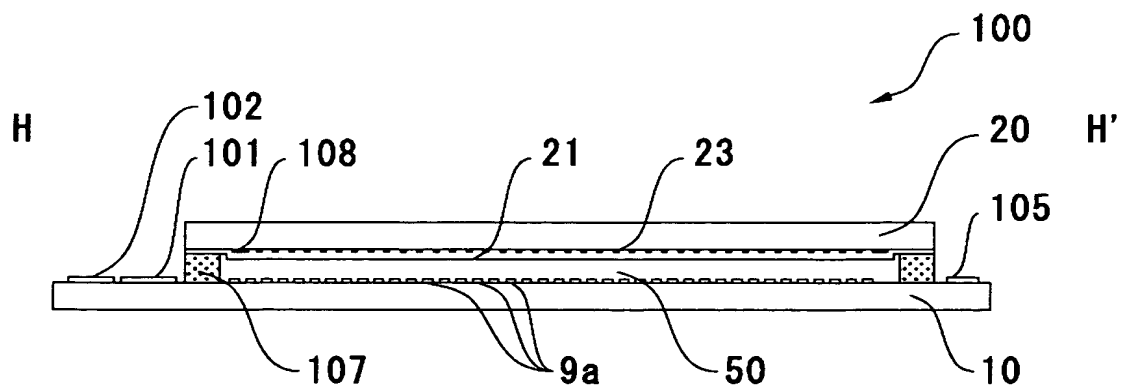
【図 9】



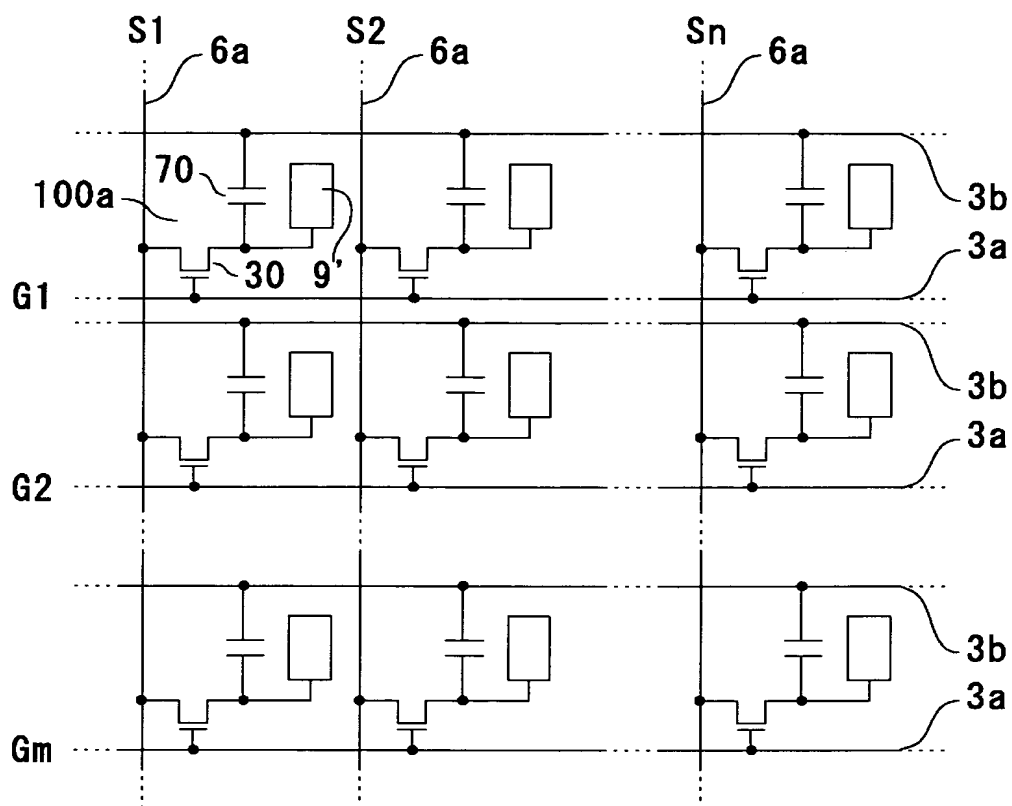
【図 10】



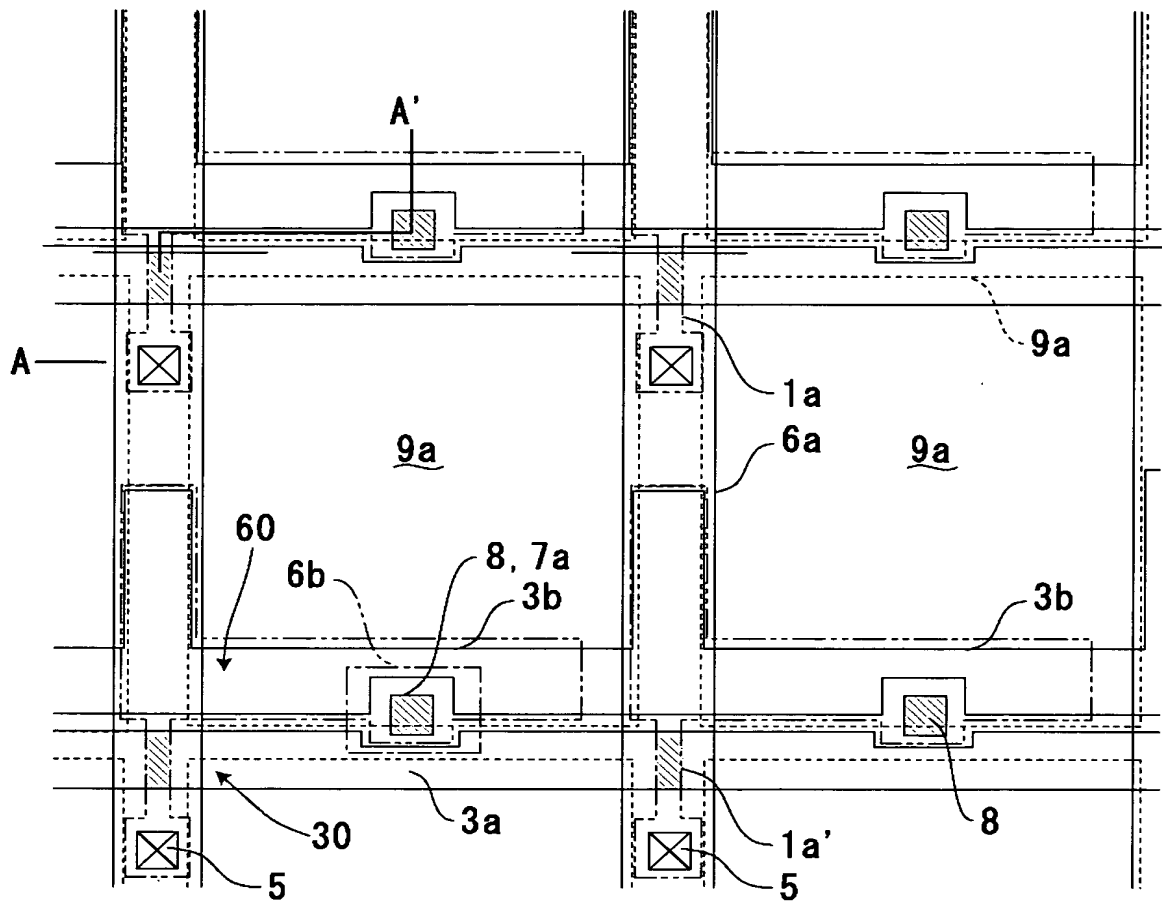
【図 1 1】



【図 12】

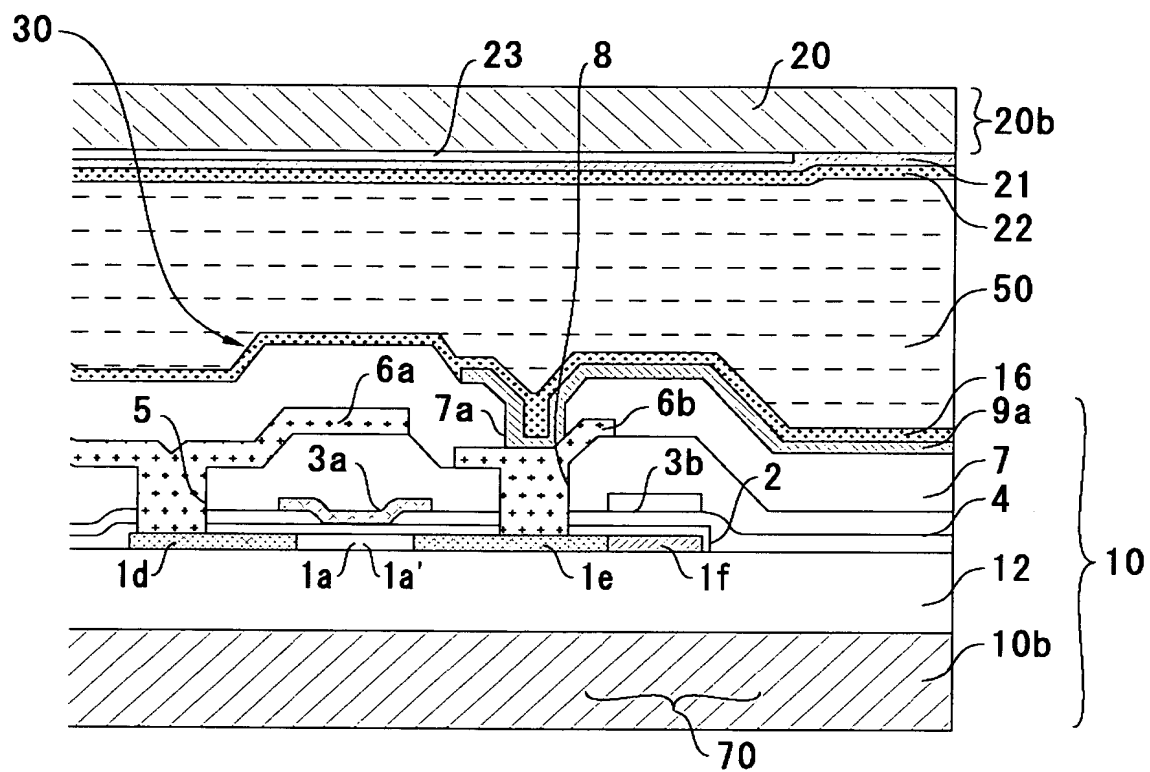


【図 13】

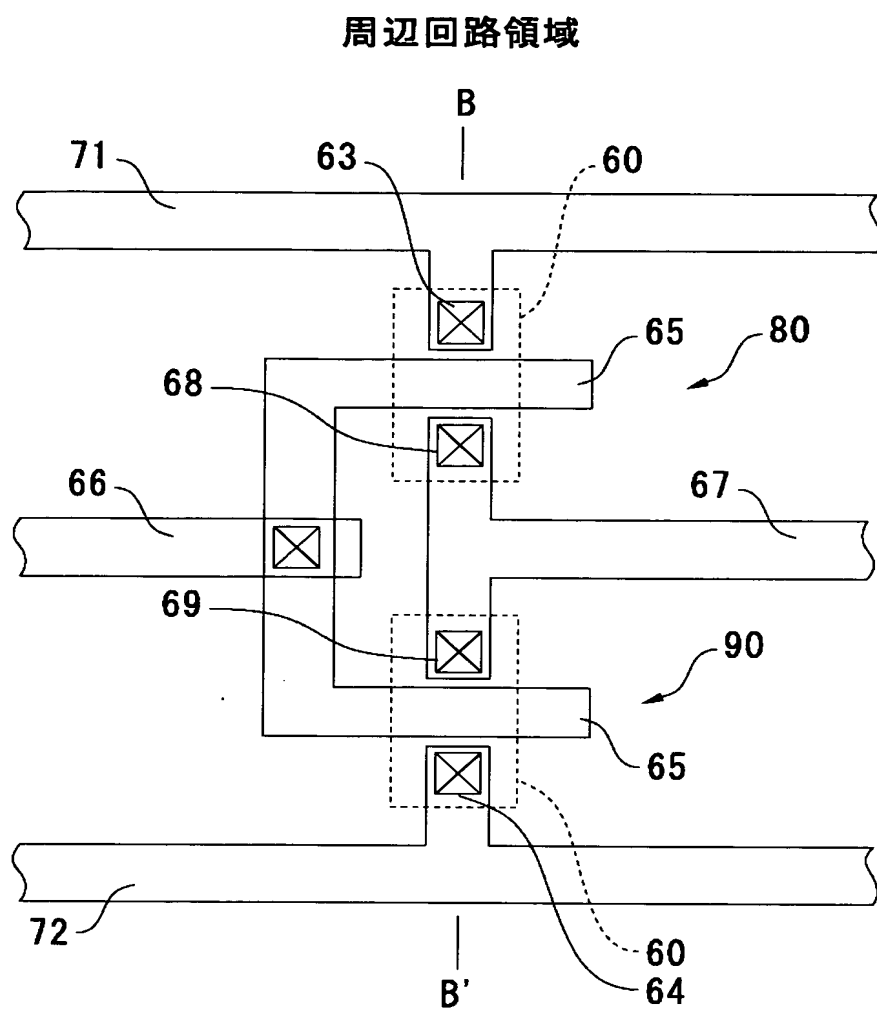


【図 14】

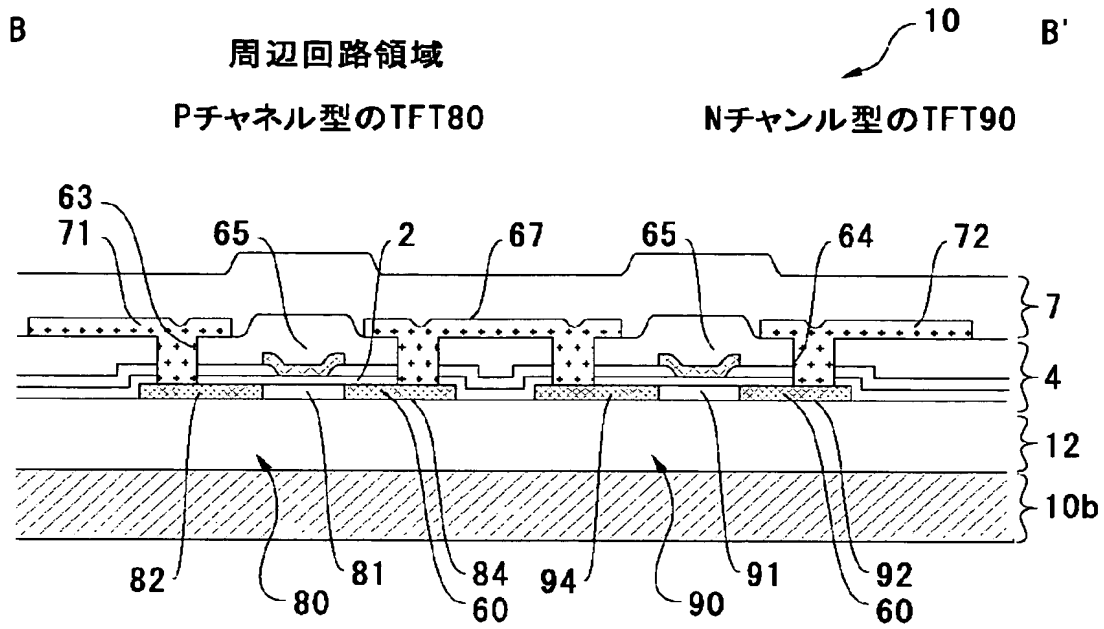
画像表示領域10a



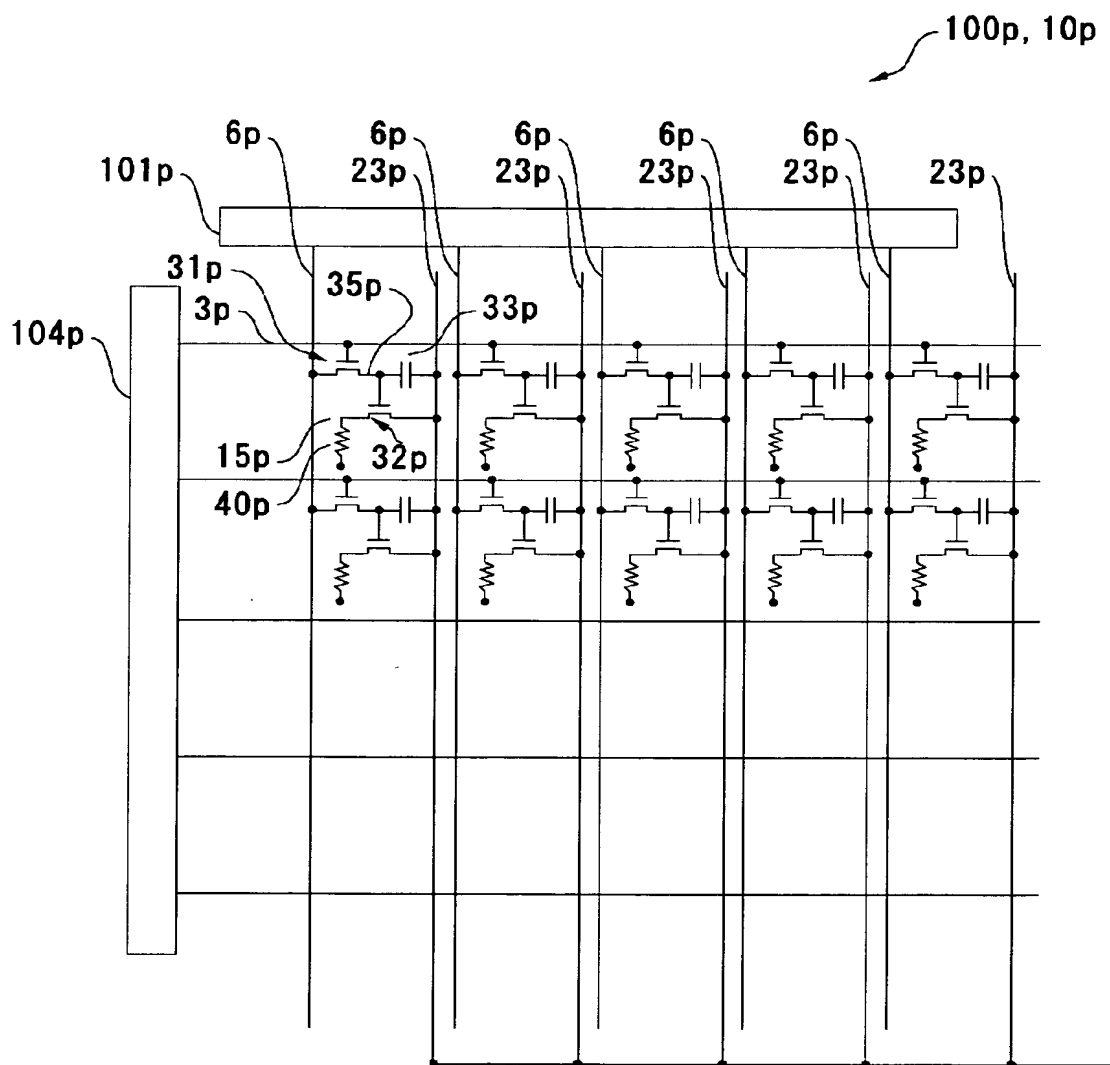
【図 15】



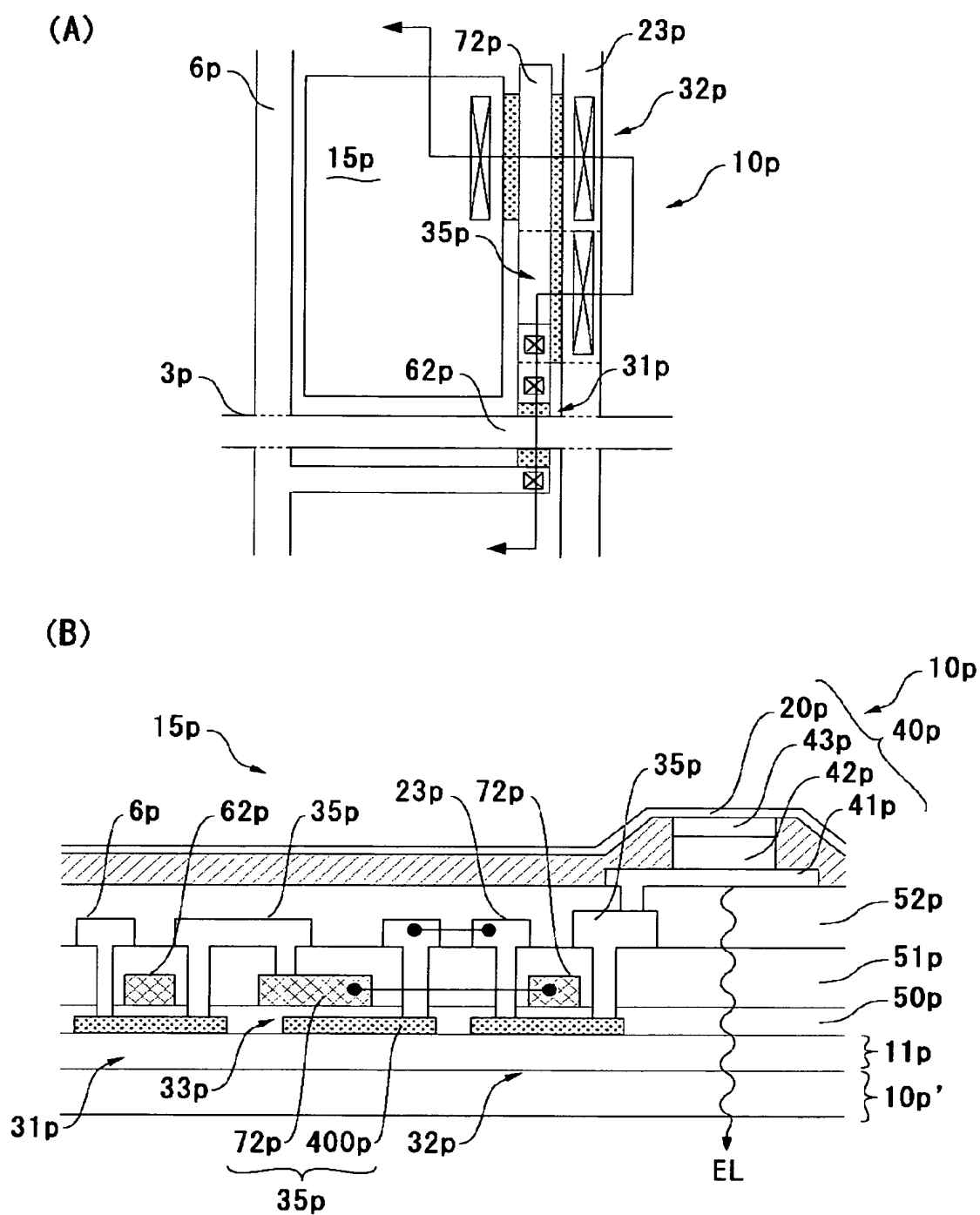
【図 16】



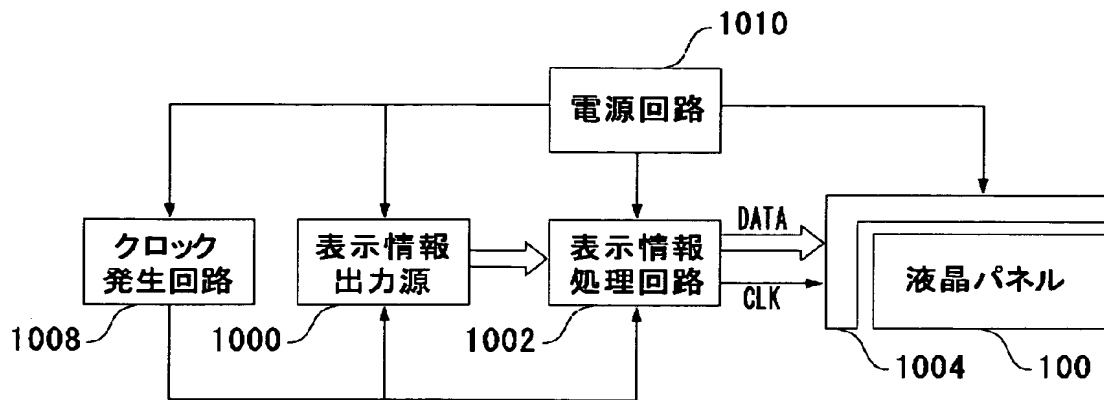
【図 17】



【图 18】

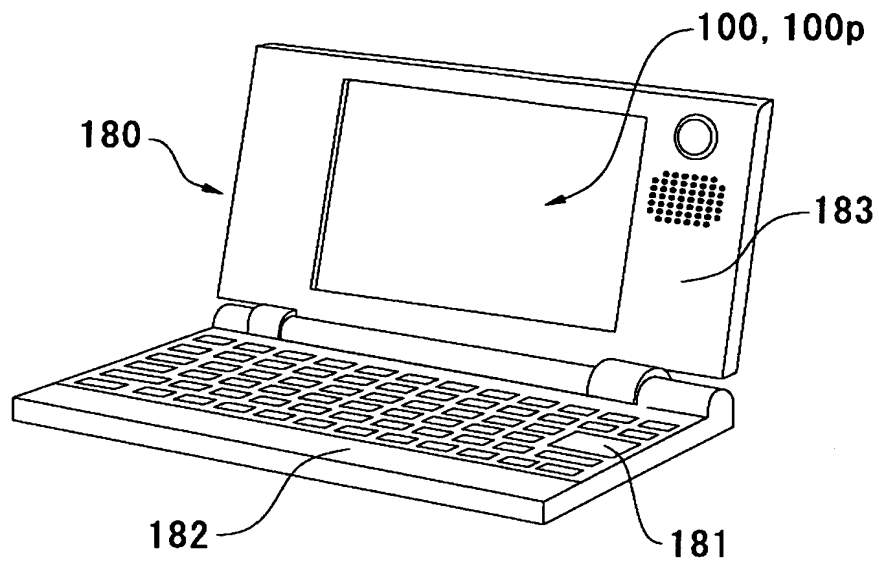


【図 19】

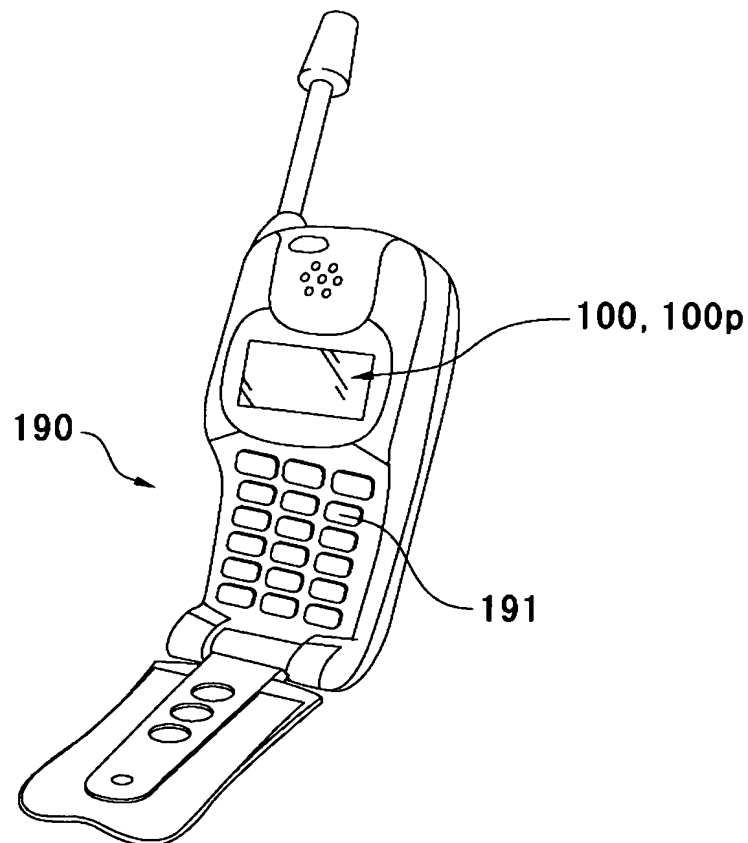


【図 20】

(A)

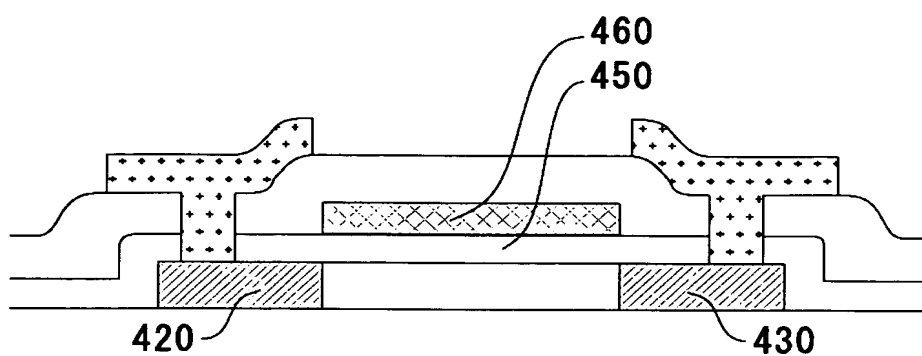


(B)

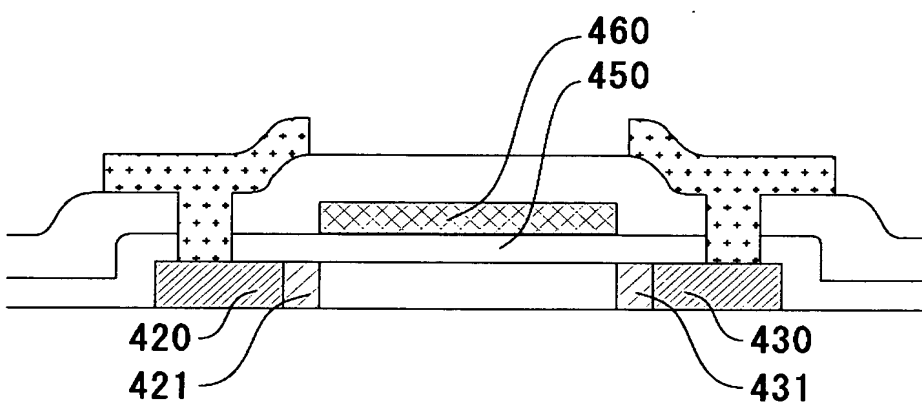


【図 21】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 オン電流特性およびオフリーク電流特性の双方に優れたトランジスタを備えた半導体装置、この半導体装置によって電気光学物質を保持した電気光学装置、この電気光学装置を用いた電子機器、および半導体装置の製造方法を提供すること。

【解決手段】 トランジスタ 4 0 A において、ソース領域 4 2 0 およびドレイン領域 4 3 0 は、ゲート電極 4 6 0 に対してセルフアライン的に不純物が導入された高濃度領域である。チャネル形成領域 4 1 0 のうち、ドレイン領域 4 3 0 およびソース領域 4 2 0 に隣接する境界領域 4 1 2、4 1 3 と重なる部分のゲート絶縁膜 4 5 0 の膜厚は、チャネル形成領域 4 1 0 のチャネル長方向における中央部分 4 1 1 と重なる部分のゲート絶縁膜 4 5 0 の膜厚に比して厚い。

【選択図】 図 1

認定・付加情報

特許出願の番号 特願 2 0 0 3 - 1 9 6 1 1 5
受付番号 5 0 3 0 1 1 5 6 9 2 4
書類名 特許願
担当官 第二担当上席 0 0 9 1
作成日 平成 1 5 年 7 月 1 6 日

< 認定情報・付加情報 >

【提出日】 平成15年 7月11日

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100095728

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107076

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内

【氏名又は名称】 藤綱 英吉

【選任した代理人】

【識別番号】 100107261

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内

【氏名又は名称】 須澤 修

特願 2003-196115

出願人履歴情報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社